

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-144996

(43)Date of publication of application : 28.05.1999

(51)Int.Cl.

H01G 4/30

(21)Application number : 09-306717

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 10.11.1997

(72)Inventor : NAITO YASUYUKI

TANIGUCHI MASAOKI

KURODA TAKAKAZU

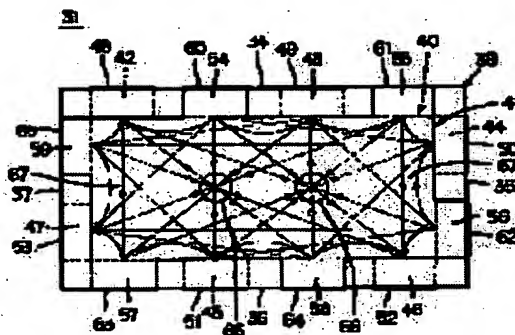
KONDO TAKANORI

(54) LAMINATED CAPACITOR

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce an equivalent series inductance of a laminated capacitor.

SOLUTION: Lead-out electrodes 42-47, 54-59 of internal electrodes 40 and 41 are led out above four side surfaces 34-37 of a capacitor main body 38, respectively, and external terminal electrodes 48-53, 60-65 connected electrically to the lead-out electrodes 42-47, 54-59, respectively, are provided on the four side surfaces 34-37. Here, external terminal electrodes connected to different internal electrodes are so provided as to be adjacent to each other alternately. In this way, the currents flowing in the internal electrodes 40 and 41 are diverged respectively, so that the magnetic flux which is produced related to a current is canceled to reduce an equivalent series inductance.



LEGAL STATUS

[Date of request for examination]

28.01.1999

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 2991175

[Date of registration] 15.10.1999

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It has a main part of a capacitor of the shape of a rectangular parallelepiped which has four sides which connect between two principal planes which carry out phase opposite, and these principal planes. Said main part of a capacitor It has two or more dielectric layers prolonged in the direction of said principal plane, and at least one pair of 1st and 2nd internal electrodes which counter mutually through said specific dielectric layer so that a capacitor unit may be formed. A drawer electrode pulled out even upwards is formed. said 1st and 2nd internal electrodes -- respectively -- either of said sides -- at least one side of said 1st and 2nd internal electrodes As said drawer electrode, at least three drawer electrodes of said at least three sides pulled out even upwards, respectively are respectively formed among said four sides. A multilayer capacitor with which an external terminal electrode of said side in which said drawer electrode was pulled out electrically connected to said drawer electrode upwards is prepared, respectively.

[Claim 2] Said 1st internal electrode forms respectively 1st at least three drawer electrode of said at least three sides pulled out even upwards, respectively among said four sides as said drawer electrode. Said at least three sides in which said 1st drawer electrode was pulled out respectively upwards The 1st external terminal electrode electrically connected to said 1st drawer electrode as said external terminal electrode is prepared, respectively. Said 2nd internal electrode As said drawer electrode, 2nd at least three drawer electrode of said at least three sides pulled out even upwards, respectively is respectively formed among said four sides. In a different location from a location in which said at least three sides in which said 2nd drawer electrode was pulled out are tops respectively, and said 1st external terminal electrode was prepared A multilayer capacitor according to claim 1 with which the 2nd external terminal electrode electrically connected to said 2nd drawer electrode as said external terminal electrode is prepared, respectively.

[Claim 3] Said 1st external terminal electrode is a multilayer capacitor of said four sides in which said 1st internal electrode formed said 1st at least four drawer electrode of said four sides pulled out even upwards, respectively, and said 1st drawer electrode was pulled out according to claim 2 formed upwards respectively.

[Claim 4] Said 2nd external terminal electrode is a multilayer capacitor of said four sides in which said 2nd internal electrode formed said 2nd at least four drawer electrode of said four sides pulled out even upwards, respectively, and said 2nd drawer electrode was pulled out according to claim 2 or 3 formed upwards respectively.

[Claim 5] Said all 1st external terminal electrode is a multilayer capacitor according to claim 2 to 4 arranged so that said 2nd external terminal electrode may be adjoined on each aforementioned side in which the 1st external terminal electrode concerned was prepared.

[Claim 6] Said all 1st external terminal electrode and said all 2nd external terminal electrode are a multilayer capacitor according to claim 5 arranged by turns through said four sides.

[Claim 7] It is the multilayer capacitor according to claim 1 to 6 with which the number of portions of said 1st internal electrode and said 2nd internal electrode which counter is made into plurality so that

said two or more capacitor units in which parallel connection was carried out by at least one side of said 1st and 2nd external terminal electrodes may be formed.

[Claim 8] Said one [at least] drawer electrode of said 1st and 2nd internal electrodes is a multilayer capacitor according to claim 1 to 7 currently pulled out by at least two on said at least one side.

[Claim 9] It has further the 3rd internal electrode which counters through said specific dielectric layer at least to one side of said 1st and 2nd internal electrodes. Said 3rd internal electrode Said side in which formed 3rd at least two drawer electrode of said at least two sides pulled out even upwards, respectively, and said 3rd drawer electrode was pulled out respectively upwards A multilayer capacitor according to claim 1 to 8 with which the 3rd external terminal electrode electrically connected to said 3rd drawer electrode is prepared, respectively.

[Claim 10] Said all 1st external terminal electrode, said all 2nd external terminal electrode, and said all 3rd external terminal electrode are a multilayer capacitor according to claim 9 arranged with a repeat in the same array sequence through said four sides.

[Claim 11] For an external terminal electrode which makes common said internal electrode connected to this, said all external terminal electrodes are multilayer capacitors according to claim 1 to 10 arranged so that each other may not be adjoined.

[Claim 12] Said external terminal electrode is a multilayer capacitor of said four sides according to claim 1 to 11 formed upwards, respectively.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the multilayer capacitor which may be especially applied advantageously in a RF circuit about a multilayer capacitor.

[0002]

[Description of the Prior Art] There are some which were indicated by JP,2-256216,A as a conventional multilayer capacitor interesting for this invention. Here, the multilayer capacitor 1 as shown in drawing 15 thru/or drawing 17 is indicated. Drawing 15 is the plan showing the appearance of a multilayer capacitor 1, drawing 16 is the plan in which having the 1st cross section and showing the internal structure of a multilayer capacitor 1, and drawing 17 is the plan showing the internal structure of a multilayer capacitor 1 with the 2nd cross section where the 1st cross sections differ.

[0003] The multilayer capacitor 1 is equipped with the main part 8 of a capacitor of the shape of a rectangular parallelepiped which has four sides 4, 5, 6, and 7 which connect between two principal planes 2 and 3 which carry out phase opposite, these principal planes 2, and 3 as the appearance is shown in drawing 15. The main part 8 of a capacitor was prolonged in the direction of principal planes 2 and 3, for example, is equipped with two or more dielectric layers 9 which consist of a ceramic dielectric, and at least one pair of 1st and 2nd internal electrodes 10 and 11 which counter mutually through the specific dielectric layer 9 so that a capacitor unit may be formed.

[0004] Drawing 16 shows the cross section along which the 1st internal electrode 10 passes as the 1st internal electrode 10 is shown in drawing 16. Moreover, drawing 17 shows the cross section along which the 2nd internal electrode 11 passes as the 2nd internal electrode 11 is shown in drawing 17. Reduction-ization of an equivalence serial inductance (ESL) is attained so that this multilayer capacitor 1 may fit use in a RF region.

[0005] Therefore, the 1st internal electrode 10 forms respectively the 1st four drawer electrode 12, 13, 14, and 15 of two sides 4 and 6 which carry out phase opposite pulled out upwards, respectively. More, the drawer electrodes 12 and 13 are pulled out even on the side 4, and the drawer electrodes 14 and 15 are pulled out by details even on the side 6. Moreover, the 1st external terminal electrode 16, 17, 18, and 19 of the sides 4 and 6 in which the 1st above-mentioned drawer electrode 12-15 was pulled out electrically connected to the drawer electrodes 12-15 of these 1st upwards is formed, respectively. That is, the external terminal electrodes 16 and 17 are connected to the drawer electrodes 12 and 13 on the side 4, respectively, and the external terminal electrodes 18 and 19 are connected to the drawer electrodes 14 and 15 on the side 6, respectively.

[0006] On the other hand, the 2nd internal electrode 11 forms respectively the 2nd four drawer electrode 20, 21, 22, and 23 of two sides 4 and 6 which carry out phase opposite pulled out upwards, respectively. It is pulled out by even different location from the location where the 1st drawer electrode 14 and 15 which the location where the 1st drawer electrode 12 and 13 which the drawer electrodes 20 and 21 are on the side 4, and was mentioned above at details was pulled out is pulled out by even different location, and the drawer electrodes 22 and 23 are on the side 6 more, and was mentioned above was pulled out.

[0007] Moreover, the 2nd external terminal electrode 24, 25, 26, and 27 of the sides 4 and 6 in which the 2nd above-mentioned drawer electrode 20-23 was pulled out electrically connected to the drawer electrodes 20-23 of these 2nd upwards is formed, respectively. That is, external terminal electrodes 24 and 25 are connected to the drawer electrodes 20 and 21 on the side 4, respectively in a different location from the location in which the 1st external terminal electrode 16 and 17 mentioned above was formed, and external terminal electrodes 26 and 27 are connected to drawer electrodes 22 and 23 on the side 6, respectively in a different location from the location in which the 1st external terminal electrode 18 and 19 mentioned above was formed.

[0008] Thus, if it is on two sides 4 and 6, it is arranged so that two or more 1st external terminal electrodes 16-19 and two or more 2nd external terminal electrodes 24-27 may adjoin each other by turns.

[0009]

[Problem(s) to be Solved by the Invention] The current which flows in this multilayer capacitor 1 is shown in drawing 18 in illustration with the plan equivalent to drawing 17. In drawing 18, the 1st internal electrode 10 is shown by the dashed line, and the 2nd internal electrode 11 is shown by the continuous line, and after these have piled up, it is illustrated.

[0010] In drawing 18, the typical path and typical direction of current are shown by the arrow head. As shown by these arrow heads, current shall flow toward each of the 1st external terminal electrode 16-19 from each of the 2nd external terminal electrode 24-27 at the illustrated condition or the time. In addition, also when flowing with a natural thing at reverse in an alternating current, it is.

[0011] When current flows, induction of the magnetic flux it is decided in the direction of current that the direction will be is carried out as everyone knows, therefore a self-inductance component arises. In drawing 18, in the center section 28 of the internal electrodes 10 and 11 shown by O, since current flows in the various directions and the magnetic flux in which induction is carried out by current is offset, there is almost no generating of magnetic flux.

[0012] Moreover, although current is in the orientation which separates from each of the 2nd external terminal electrode 24-27 toward each of the 1st external terminal electrode 16-19 the external terminal electrodes 16-19 and near 24-27, the current which flows leftward by drawing 18 with the breadth of 180 abbreviation, and the current which flows rightward exist. Therefore, the most is offset, consequently magnetic flux does not bring about generating of serious magnetic flux.

[0013] Therefore, in the point which mentioned above the multilayer capacitor 1 shown in drawing 15 thru/or drawing 17, generating of a self-inductance is controlled and low ESL-ization is attained.

However, in each edge 29 of the right and left which performed and showed hatching [near / each / the sides 5 and 7 in which any external terminal electrode is not located (i.e. drawing 18)], since current flows in the almost fixed direction, it was not generated substantially but offset of magnetic flux has brought about generating and increase of a self-inductance to the last.

[0014] Therefore, the cure for the reduction in ESL attained in the multilayer capacitor 1 shown in drawing 15 thru/or drawing 17 can be said to be still inadequate in the point of an effect. Then, the purpose of this invention is offering the multilayer capacitor improved so that low ESL-ization could be attained more effectively.

[0015]

[Means for Solving the Problem] A multilayer capacitor concerning this invention is equipped with a main part of a capacitor of the shape of a rectangular parallelepiped which has four sides which connect between two principal planes which carry out phase opposite, and these principal planes. moreover, at least one pair of 1st and 2nd internal electrodes which counter mutually through a specific dielectric layer so that this main part of a capacitor may form two or more dielectric layers prolonged in the direction of a principal plane, and a capacitor unit -- having -- these 1st and 2nd internal electrodes -- respectively -- either of the sides -- a drawer electrode pulled out even upwards is formed.

[0016] In such a multilayer capacitor, in order to solve a technical technical problem mentioned above, it consists of this invention as follows. Namely, at least as for one side of the 1st and 2nd internal electrodes, an external terminal electrode of the side in which formed at least three drawer electrodes of

at least three sides pulled out even upwards, respectively, and a drawer electrode was pulled out electrically connected to a drawer electrode upwards is respectively prepared among four sides as an above-mentioned drawer electrode.

[0017] In this invention, the 1st above-mentioned internal electrode forms preferably 1st at least three drawer electrode of at least three sides pulled out even upwards, respectively respectively among four sides as a drawer electrode. And the 1st external terminal electrode of at least three sides in which a drawer electrode of these 1st was pulled out electrically connected to the 1st drawer electrode as an external terminal electrode upwards is prepared, respectively. Moreover, the 2nd internal electrode also forms respectively 2nd at least three drawer electrode of at least three sides pulled out even upwards, respectively among four sides as a drawer electrode. And the 2nd external terminal electrode electrically connected to the 2nd drawer electrode is prepared in a different location from a location in which at least three sides in which a drawer electrode of these 2nd was pulled out are tops respectively, and the 1st external terminal electrode was prepared, respectively.

[0018] in this invention, more preferably, the 1st internal electrode forms 1st at least four drawer electrode pulled out even on four each of the side, respectively, and the 1st external terminal electrode is prepared in connection with it on each of four sides where the 1st drawer electrode was pulled out. Similarly, the 2nd external terminal electrode has respectively a more desirable thing of four sides in which formed 2nd at least four drawer electrode of four sides pulled out even upwards, respectively, and the 2nd drawer electrode was pulled out in connection with it established upwards respectively also about the 2nd internal electrode.

[0019] Moreover, preferably, all the 1st external terminal electrode is arranged so that the 2nd external terminal electrode may be adjoined on each side in which the 1st external terminal electrode concerned was prepared. Moreover, all the 1st external terminal electrode and all the 2nd external terminal electrode are more preferably arranged by turns through four sides.

[0020] Moreover, the number of portions of the 1st internal electrode and the 2nd internal electrode which counter may be made into plurality so that two or more capacitor units in which parallel connection was carried out by at least one side of the 1st and 2nd external terminal electrodes may be formed. Moreover, one [at least] drawer electrode of the 1st and 2nd internal electrodes may be pulled out by at least two on at least one side.

[0021] Moreover, a multilayer capacitor concerning this invention may be further equipped with the 3rd internal electrode which counters through a specific dielectric layer at least to one side of the 1st and 2nd internal electrodes. In this case, 3rd at least two drawer electrode of at least two sides pulled out even upwards, respectively is formed, and, as for the 3rd internal electrode, the 3rd external terminal electrode of the side in which the 3rd drawer electrode was pulled out electrically connected to the 3rd drawer electrode upwards is prepared respectively.

[0022] In an operation gestalt mentioned above, all the 1st external terminal electrode, all the 2nd external terminal electrode, and all the 3rd external terminal electrode are preferably arranged with a repeat in the same array sequence through four sides. In this invention, if it sees from another aspect of affairs, as for all external terminal electrodes, it is desirable to be arranged so that an external terminal electrode which makes common an internal electrode connected to this may not be adjoined.

[0023] Moreover, in this invention, if it sees from another aspect of affairs, it is desirable that an external terminal electrode is prepared [of four sides] upwards, respectively.

[0024]

[Embodiment of the Invention] Drawing 1 thru/or drawing 3 show the multilayer capacitor 31 by the 1st operation gestalt of this invention. Considerable [of drawing 1 thru/or drawing 3] is carried out to drawing 15 thru/or drawing 17 mentioned above here, respectively, drawing 1 is the plan showing the appearance of a multilayer capacitor 31, drawing 2 is the plan in which having the 1st cross section and showing the internal structure of a multilayer capacitor 31, and drawing 3 is the plan showing the internal structure of a multilayer capacitor 31 with the 2nd cross section where the 1st cross sections differ.

[0025] The multilayer capacitor 31 is equipped with the main part 38 of a capacitor of the shape of a

rectangular parallelepiped which has four sides 34, 35, 36, and 37 which connect between two principal planes 32 and 33 which carry out phase opposite, these principal planes 32, and 33 like the multilayer capacitor 1 mentioned above as the appearance is shown in drawing 1. The main part 38 of a capacitor was prolonged in the direction of principal planes 32 and 33, for example, is equipped with two or more dielectric layers 39 which consist of a ceramic dielectric, and at least one pair of 1st and 2nd internal electrodes 40 and 41 which counter mutually through the specific dielectric layer 39 so that a capacitor unit may be formed.

[0026] Drawing 2 shows the cross section along which the 1st internal electrode 40 passes, and drawing 3 shows the cross section along which the 2nd internal electrode 41 passes. The 1st internal electrode 40 forms respectively the 1st six drawer electrode 42, 43, 44, 45, 46, and 47 of four sides 34-37 pulled out even upwards, respectively. More, the drawer electrodes 42 and 43 are pulled out even on the side 34, the drawer electrode 44 is pulled out even on the side 35, the drawer electrodes 45 and 46 are pulled out by details even on the side 36, and the drawer electrode 47 is pulled out even on the side 37.

[0027] Moreover, the 1st external terminal electrode 48, 49, 50, 51, 52, and 53 of the sides 34-37 in which the 1st above-mentioned drawer electrode 42-47 was pulled out electrically connected to the drawer electrodes 42-47 of these 1st upwards is formed, respectively. That is, the external terminal electrodes 48 and 49 are connected to the drawer electrodes 42 and 43 on the side 34, respectively, the external terminal electrode 50 is connected to the drawer electrode 44 on the side 35, the external terminal electrodes 51 and 52 are connected to the drawer electrodes 45 and 46 on the side 36, respectively, and the external terminal electrode 53 is connected to the drawer electrode 47 on the side 37.

[0028] On the other hand, the 2nd internal electrode 41 forms respectively the 2nd six drawer electrode 54, 55, 56, 57, 58, and 59 of four sides 34-37 pulled out even upwards, respectively. More, the drawer electrodes 54 and 55 are pulled out even on the side 34, the drawer electrode 56 is pulled out even on the side 35, the drawer electrodes 57 and 58 are pulled out by details even on the side 36, and the drawer electrode 59 is pulled out even on the side 37.

[0029] Each location on the side 34-37 in which the 2nd drawer electrode 54-59 mentioned above is pulled out, respectively is carried out if each location where the 1st drawer electrode 42-47 is pulled out, respectively is **. Moreover, the 2nd external terminal electrode 60, 61, 62, 63, 64, and 65 of the sides 34-37 in which the 2nd above-mentioned drawer electrode 54-59 was pulled out electrically connected to the drawer electrodes 54-59 of these 2nd upwards is respectively formed in a location which is different in the 1st external terminal electrode 48-53. The external terminal electrodes 60 and 61 are connected to the drawer electrodes 54 and 55 on the side 34, respectively, the external terminal electrode 62 is connected to the drawer electrode 56 on the side 35, the external terminal electrodes 63 and 64 are connected to the drawer electrodes 57 and 58 on the side 36, respectively, and the external terminal electrode 65 is connected to the drawer electrode 59 on the side 37.

[0030] thus, it is arranged so that all the 1st external terminal electrode 48-53 may adjoin the 2nd external terminal electrode 60-65 on four each of the sides 34-37. Moreover, if it sees from another viewpoint, it is arranged so that what carries out all the external terminal electrodes 48-53 and the internal electrode of 60-65 connected for the ability of each coming in common may not be adjoined. If it is on the side 34 in which the 1st two drawer electrode 42 and 43 and the 2nd two drawer electrode 54 and 55 were pulled out especially The 1st external terminal electrode 48 and 49 and the 2nd external terminal electrode 60 and 61 are arranged by turns. Moreover, if it is on the side 36 in which the 1st two drawer electrode 45 and 46 and the 2nd two drawer electrode 57 and 58 were pulled out, the 1st external terminal electrode 51 and 52 and the 2nd external terminal electrode 63 and 64 are arranged by turns. Furthermore, also when it sees through four sides 34-37, the 1st external terminal electrode 48-52 and the 2nd external terminal electrode 60-65 are arranged by turns.

[0031] In order to obtain a bigger capacity, the number of the portions of the 1st internal electrode 40 and the 2nd internal electrode 41 which counter is made into plurality, and it is made to have two or more capacitor units formed in such a multilayer capacitor 31. namely, the time of one either of the 1st and 2nd internal electrodes 40 and 41 being formed in the main part 38 of a capacitor -- either of the 1st

and 2nd internal electrodes 40 and 41 -- when two tend to be formed or you are going to obtain a still larger capacity so that another side may sandwich this, let the number of the groups of the 1st and 2nd internal electrodes 40 and 41 be plurality. Thus, when the number of the portions of the 1st internal electrode 40 and the 2nd internal electrode 41 which counter is made into plurality, parallel connection of two or more capacitor units is carried out by either [at least] the 1st external terminal electrode 48-53 or the 2nd external terminal electrode 60-65.

[0032] In addition, the external terminal electrodes 48-53, and 60-65 are formed, respectively so that it may extend even in the one section each of not only a side 34-37 top but both the principal planes 32 and 33. Drawing 4 is drawing corresponding to drawing 18 mentioned above, and shows in illustration the current which flows in this multilayer capacitor 31 with the plan equivalent to drawing 3. In drawing 4, the 1st internal electrode 40 is shown by the dashed line, and the 2nd internal electrode 41 is shown by the continuous line, and after these have piled up, it is illustrated.

[0033] In drawing 4, with the arrow head, as the typical path and typical direction are shown, current shall flow toward each of the 1st external terminal electrode 48-53 from each of the 2nd external terminal electrode 60-65 at the illustrated condition or the time. Thus, when current flows, induction of the magnetic flux it is decided in the direction of current that the direction will be is carried out as everyone knows, therefore a self-inductance component arises.

[0034] In the center section 66 of the internal electrodes 40 and 41 shown by O with reference to drawing 4, since current flows in the various directions and the magnetic flux in which induction is carried out by current is offset, there is almost no generating of magnetic flux. This is substantially [as the case of the former shown in drawing 18] the same. Moreover, although current is in the orientation which separates from each of the 2nd external terminal electrode 60-65 toward each of the 1st external terminal electrode 48-53 the external terminal electrodes 48-53 and near 60-65, the current which flows leftward by drawing 4 with the breadth of 180 abbreviation, and the current which flows rightward exist. Therefore, the most is offset, consequently magnetic flux does not bring about generating of serious magnetic flux. The same is substantially [as the case of the former shown in drawing 18] said of this.

[0035] In drawing 4, the big difference with the conventional case shown in drawing 18 is in each edge 67 of right and left [/ near each / of the sides 35 and 37 / (i.e., drawing 4)]. In these edges 67, since the 1st external terminal electrode 50 and 53 and the 2nd external terminal electrode 62 and 65 are formed, there is no flow of conspicuous current and, similarly near each [of other sides 34 and 35] generating of serious magnetic flux is not brought about.

[0036] Therefore, according to the multilayer capacitor 31 shown in drawing 1 thru/or drawing 3, magnetic flux is offset over the whole surface from the center section 66 of the internal electrodes 40 and 41 to an edge 67, and ESL can be stopped very low. Moreover, each of the 1st drawer electrode 42-47 or the 1st external terminal electrode 48-53, With each of the 2nd drawer electrode 54-59 with which polarity differs from these, or the 2nd external terminal electrode 60-64 Since it can arrange to near mutually and mutual distance can be shortened, current length can be shortened and the self-inductance component generated among these also by this can be made low.

[0037] Drawing 5 thru/or drawing 7 show the multilayer capacitor 71 by the 2nd operation gestalt of this invention. Drawing 5 is the plan showing the appearance of a multilayer capacitor 71 here, drawing 6 is the plan in which having the 1st cross section and showing the internal structure of a multilayer capacitor 71, and drawing 7 is the plan showing the internal structure of a multilayer capacitor 71 with the 2nd cross section where the 1st cross sections differ.

[0038] Considerable [of drawing 5 thru/or drawing 7] is carried out to drawing 1 thru/or drawing 3 which shows the 1st operation gestalt, respectively, in drawing 5 thru/or drawing 7, the same reference mark is given to the element equivalent to the element shown in drawing 1 thru/or drawing 3, and the overlapping explanation is omitted. In the multilayer capacitor 71 by this 2nd operation gestalt, 1st internal electrode 40a forms respectively the 1st five drawer electrode 42, 43, 45, 46, and 47a of three sides 34, 36, and 37 pulled out even upwards, respectively. If difference with the multilayer capacitor 31 by the 1st operation gestalt is said, with this multilayer capacitor 71, there is no drawer electrode equivalent to the drawer electrode 44 pulled out even on the side 35, drawer electrode 47a pulled out by

even the side 37 is pulled out by the center section of the side 37, and the drawer electrode 47 is carried out, if that location is **.

[0039] Moreover, the 1st five external terminal electrode 48, 49, 51, 52, and 53a of three sides 34, 36, and 37 in which the 1st above-mentioned drawer electrode 42-47a was pulled out electrically connected to these 1st five drawer electrodes 42-47a upwards is formed, respectively. If difference with the multilayer capacitor 31 by the 1st operation gestalt is said, with this multilayer capacitor 71, there is no external terminal electrode equivalent to the 1st external terminal electrode 50, and if that location is **, as for external terminal electrode 53a, it is carried out, as for the external terminal electrode 53.

[0040] On the other hand, 2nd internal electrode 41a forms respectively the 2nd five drawer electrode 54, 55, 56a, 57, and 58 of three sides 34-36 pulled out even upwards, respectively. If difference with the multilayer capacitor 31 by the 1st operation gestalt is said, with this multilayer capacitor 71, there is no drawer electrode equivalent to the drawer electrode 59 pulled out even on the side 37, drawer electrode 56a pulled out by even the side 35 is pulled out by the center section of the side 37, and the drawer electrode 56 is carried out, if that location is **.

[0041] Moreover, the 2nd external terminal electrode 60, 61, 62a, 63, and 64 of three sides 34-36 in which the 2nd above-mentioned drawer electrode 54-58 was pulled out electrically connected to the drawer electrodes 54-58 of these 2nd upwards is formed, respectively. If difference with the multilayer capacitor 31 by the 1st operation gestalt is said, with this multilayer capacitor 71, there is no external terminal electrode equivalent to the 2nd external terminal electrode 65, and if that location is **, as for external terminal electrode 62a, it is carried out, as for the external terminal electrode 62.

[0042] In order to obtain a bigger capacity, the number of the portions of 1st internal electrode 40a and 2nd internal electrode 41a which counter is made into plurality, and it is made to have two or more capacitor units formed also in such a multilayer capacitor 71. And parallel connection of the capacitor unit of these plurality is carried out by either [at least] the 1st external terminal electrode 48-53a or the 2nd external terminal electrode 60-64.

[0043] according to this 2nd operation gestalt, it is arranged so that each of the 1st external terminal electrode 48, 49, 51, and 52 may adjoin either of the 2nd external terminal electrode 60, 61, 63, and 64 on two each of the sides 34 and 36. Moreover, although only 2nd external terminal electrode 62a is located on the side 35 and only 1st external terminal electrode 53a is only located on the side 37. Thus, by locating the external terminal electrodes 62a and 53a also in the sides 35 and 37, respectively. If compared with the conventional multilayer capacitor 1 shown in drawing 15 thru/or drawing 17 at least, while being able to turn the flow of the current on internal electrode 40a and 41a in the more various directions and being able to offset more magnetic flux. Since current length can be shortened more, an inductance component can be reduced more.

[0044] Drawing 8 thru/or drawing 11 show the multilayer capacitor 81 by the 3rd operation gestalt of this invention. Drawing 8 is the plan showing the appearance of a multilayer capacitor 81 here, drawing 9 is the plan in which having the 1st cross section and showing the internal structure of a multilayer capacitor 81, drawing 10 is the plan showing the internal structure of a multilayer capacitor 81 with the 2nd cross section where the 1st cross sections differ, and drawing 11 is the plan showing the internal structure of a multilayer capacitor 81 with the 3rd cross section where the 1st and 2nd cross sections differ.

[0045] In drawing 8 thru/or drawing 11, the same reference mark is given to the element equivalent to the element shown in drawing 1 thru/or drawing 3, and the overlapping explanation is omitted. The multilayer capacitor 81 by this 3rd operation gestalt is characterized by having further the 3rd internal electrode 82 which counters through the specific dielectric layer 39 at least to one side of the 1st and 2nd internal electrodes 40b and 41b. This 3rd internal electrode 82 forms respectively the 3rd four drawer electrode 83, 84, 85, and 86 of two sides 34 and 36 pulled out even upwards, respectively. More, the drawer electrodes 83 and 84 are pulled out even on the side 34, and the drawer electrodes 85 and 86 are pulled out by details even on the side 36.

[0046] Moreover, the 3rd external terminal electrode 87, 88, 89, and 90 of the sides 34 and 36 in which the 3rd above-mentioned drawer electrode 83-86 was pulled out electrically connected to the drawer

electrodes 83-86 of these 1st upwards is formed, respectively. That is, the external terminal electrodes 87 and 88 are connected to the drawer electrodes 83 and 84 on the side 34, respectively, and the external terminal electrodes 89 and 90 are connected to the drawer electrodes 85 and 86 on the side 36, respectively. If difference with the multilayer capacitor 31 by the 1st operation gestalt is said, in this multilayer capacitor 81, the 3rd external terminal electrode 88 and 89 is formed in each location in which the 3rd external terminal electrode 87 and 90 was formed in each location in which the 1st external terminal electrode 48 and 52 in a multilayer capacitor 31 was formed, respectively, and the 2nd external terminal electrode 61 and 63 in a multilayer capacitor 31 was formed, respectively.

[0047] On the other hand, about the 1st internal electrode 40b, the 1st four drawer electrode 42b, 44, 45b, and 47 of four sides 34-37 pulled out even upwards, respectively is formed respectively. If difference with the multilayer capacitor 31 by the 1st operation gestalt is said, as a drawer electrode pulled out even on the side 34 and 36 in this multilayer capacitor 81, there will be only every one drawer electrodes 42b and 45b, respectively.

[0048] Moreover, the 1st four external terminal electrode 48b, 50, 51b, and 53 of four sides 34-37 in which the 1st above-mentioned drawer electrode 42b-47 was pulled out electrically connected to these 1st four drawer electrodes 42b-47 upwards is formed, respectively. If difference with the multilayer capacitor 31 by the 1st operation gestalt is said, in this multilayer capacitor 81, the 1st external terminal electrode 48b and 51b is formed in each location in which the 2nd external terminal electrode 60 and 64 in a multilayer capacitor 31 was formed, respectively.

[0049] Moreover, about the 2nd internal electrode 41b, the 2nd four drawer electrode 54b, 56, 57b, and 59 of four sides 34-37 pulled out even upwards, respectively is formed respectively. If difference with the multilayer capacitor 31 by the 1st operation gestalt is said, as a drawer electrode pulled out even on the side 34 and 36 in this multilayer capacitor 81, there will be only every one drawer electrodes 54b and 57b, respectively.

[0050] Moreover, the 2nd four external terminal electrode 60b, 62, 63b, and 65 of four sides 34-37 in which the 2nd above-mentioned drawer electrode 54b-59 was pulled out electrically connected to these 1st four drawer electrodes 54b-59 upwards is formed, respectively. If difference with the multilayer capacitor 31 by the 1st operation gestalt is said, in this multilayer capacitor 81, the 2nd external terminal electrode 60b and 63b is formed in each location in which the 1st external terminal electrode 49 and 51 in a multilayer capacitor 31 was formed, respectively.

[0051] In this multilayer capacitor 81, a laminating is carried out to the order of the 3rd internal electrode 82, the 1st internal electrode the 40b, and 2nd internal electrode 41b. It lets four sides 34-37 pass, and the same array sequence of either of the 3rd external terminal electrode 87-90, either of the 1st external terminal electrode 48b-53, and either of the 2nd external terminal electrode 60b-65 is repeated by this. In addition, above-mentioned built-up sequence can be changed into arbitration.

[0052] Moreover, also in a multilayer capacitor 81, in order to obtain a bigger capacity, let the number of the capacitor units formed of each opposite of the 3rd internal electrode 82, the 1st internal electrode the 40b, and 2nd internal electrode 41b be plurality. Therefore, repeat only the 3rd internal electrode 82 and internal electrode 40b of ** 1st b two or more times, and they carry out a laminating, or Repeat only the 1st internal electrode 40b and 2nd internal electrode 41b two or more times, and they carry out a laminating, or Only the 2nd internal electrode 41b and the 3rd internal electrode 82 can be repeated two or more times, and can carry out a laminating, or the 3rd internal electrode 82, 1st internal electrode 40b, and 2nd internal electrode 41b can be repeated two or more times, and can carry out a laminating. And even if there are few 3rd external terminal electrodes 87-90, 1st external terminal electrodes 48b-53, and 2nd external terminal electrodes 60b-65, parallel connection of the capacitor unit of these plurality is carried out by either.

[0053] also in this 3rd operation gestalt, like the 1st operation gestalt, it connects with a mutually different internal electrode, namely, the external terminal electrode which has mutually different polarity is located on four each of the sides 34-37. 1st external terminal electrode 48b, 2nd external terminal electrode 60b, and the 3rd external terminal electrode 87 and 88 are located more on the side 34 at details, and it sets on the side 35. The 1st external terminal electrode 50 and the 2nd external terminal

electrode 62 are located, and it sets on the side 36. 1st external terminal electrode 51b, 2nd external terminal electrode 63b, and the 3rd external terminal electrode 89 and 90 are located, and the 1st external terminal electrode 53 and the 2nd external terminal electrode 65 are located on the side 37.

[0054] Therefore, since current length can be shortened while being able to offset magnetic flux effectively also according to this 3rd operation gestalt by turning the flow of the current on internal electrode 40b and 41b in the various directions, reduction of an inductance component can be aimed at. In addition, unlike the 1st operation gestalt, with this 3rd operation gestalt, a different polar external terminal electrode in all parts adjoins each other mutually -- as, although not arranged. If compared with the conventional multilayer capacitor 1 shown in drawing 15 thru/or drawing 17 at least, since the flow of the current on an internal electrode 40 and 41 can be turned in the more various directions and current length can be shortened more, an inductance component can be reduced more.

[0055] Moreover, as a modification of the 3rd operation gestalt, it cannot have the 3rd internal electrode 82, but can also consider as the multilayer capacitor which carried out the laminating only of the 1st and 2nd internal electrodes 40b and 41b. Furthermore, the drawer electrode further pulled out by the 3rd internal electrode 82 on the sides 35 and 37 may be formed. Drawing 12 thru/or drawing 14 show the multilayer capacitor 91 by the 4th operation gestalt of this invention. Drawing 12 is the plan showing the appearance of a multilayer capacitor 91 here, drawing 13 is the plan in which having the 1st cross section and showing the internal structure of a multilayer capacitor 91, and drawing 14 is the plan showing the internal structure of a multilayer capacitor 91 with the 2nd cross section where the 1st cross sections differ.

[0056] Considerable [of drawing 12 thru/or drawing 14] is carried out to drawing 1 thru/or drawing 3 which shows the 1st operation gestalt, respectively, in drawing 12 thru/or drawing 14, the same reference mark is given to the element equivalent to the element shown in drawing 1 thru/or drawing 3, and the overlapping explanation is omitted. The multilayer capacitor 91 by this 4th operation gestalt is similar in appearance with the multilayer capacitor 71 by the 2nd operation gestalt. 1st internal electrode 40c forms respectively the 1st five drawer electrode 42, 43, 44c, 45c, and 46c of three sides 34, 35, and 36 pulled out even upwards, respectively. If difference with the multilayer capacitor 31 by the 1st operation gestalt is said, with this multilayer capacitor 91, there is no drawer electrode equivalent to the drawer electrode 47 pulled out even on the side 37, and if each of that location is **, as for the drawer electrodes 44c, 45c, and 46c pulled out by even the sides 35 and 36, respectively, it is carried out, as for the drawer electrodes 44-46.

[0057] Moreover, the 1st five external terminal electrode 48, 49, 50c, 51c, and 52c of three sides 34-36 in which the 1st above-mentioned drawer electrode 42-46c was pulled out electrically connected to these 1st five drawer electrodes 42-46c upwards is formed, respectively. If difference with the multilayer capacitor 31 by the 1st operation gestalt is said, with this multilayer capacitor 91, there is no external terminal electrode equivalent to the 1st external terminal electrode 53, and if each of that location is **, as for the external terminal electrodes 50c, 51c, and 52c, it is carried out, as for the external terminal electrodes 50-52.

[0058] On the other hand, 2nd internal electrode 41c forms respectively the 2nd five drawer electrode 54, 55, 57c, 58c, and 59c of three sides 34, 36, and 37 pulled out even upwards, respectively. If difference with the multilayer capacitor 31 by the 1st operation gestalt is said, with this multilayer capacitor 91, there is no drawer electrode equivalent to the drawer electrode 59 pulled out even on the side 35, and if each of that location is **, as for the drawer electrodes 57c, 58c, and 59c pulled out by even the sides 34, 36, and 37, it is carried out, as for the drawer electrodes 57-59.

[0059] Moreover, the 2nd external terminal electrode 60, 61, 63c, 64c, and 65c of three sides 34, 36, and 37 in which the 2nd above-mentioned drawer electrode 54-59c was pulled out electrically connected to the drawer electrodes 54-59c of these 2nd upwards is formed, respectively. If difference with the multilayer capacitor 31 by the 1st operation gestalt is said, with this multilayer capacitor 91, there is no external terminal electrode equivalent to the 2nd external terminal electrode 62, and if each of that location is **, as for the external terminal electrodes 63c, 64c, and 65c, it is carried out, as for the external terminal electrodes 63-65.

[0060] In order to obtain a bigger capacity, the number of the portions of 1st internal electrode 40c and 2nd internal electrode 41c which counter is made into plurality, and it is made to have two or more capacitor units formed also in such a multilayer capacitor 91. And parallel connection of the capacitor unit of these plurality is carried out by either [at least] the 1st external terminal electrode 48-52c or the 2nd external terminal electrode 60-65c.

[0061] With this 4th operation gestalt, either of the 1st external terminal electrode 48-52c and either of the 2nd external terminal electrode 60-65c are arranged by turns through four sides 34-37 like the 1st operation gestalt mentioned above. In this point, it differs from the 2nd operation gestalt. Therefore, while according to the 4th operation gestalt being able to turn the flow of the current on internal electrode 40c and 41c in the various directions and being able to offset magnetic flux effectively like the 1st operation gestalt, current length can be shortened and an inductance component can be reduced by this.

[0062] Each sample of the multilayer capacitor 31 (example 1) concerning the 1st operation gestalt and the multilayer capacitor 71 (example 2) concerning the 2nd operation gestalt which were explained above, the multilayer capacitor 81 (example 3) concerning the 3rd operation gestalt, the multilayer capacitor 91 (example 4) concerning the 4th operation gestalt, and the conventional multilayer capacitor 1 (example of a comparison) was produced, and each ESL was evaluated.

[0063] What each sample set the appearance plane size to 3.2mmx2.5mm, and carried out 6 laminatings of the internal electrode in total here, Namely, if it is in some which have two kinds of internal electrodes like multilayer capacitors 31, 71, 91, and 1 (examples 1, 2, and 4 and example of a comparison) If it was in some which have three kinds of internal electrodes like a repeat and a multilayer capacitor 81 (example 3) 3 times about the laminating of two kinds of internal electrodes, the laminating of three kinds of internal electrodes should be repeated twice.

[0064] Moreover, ESL was calculated with the resonance method. the multilayer capacitor which serves as a resonance method with each sample -- the frequency characteristic of an impedance -- measuring -- frequency f_0 of the minimum point (it is called the series resonance point between the capacity components CS and ESL of a capacitor.) from -- $ESL = 1 / [(2\pi f_0)^2 \times CS]$

It is the method of calculating ESL as being alike.

[0065] The ESL measured value of each sample is shown in the following table 1.

[0066]

[A table 1]

	ESL値 (pH)
実施例 1	4 0
実施例 2	7 2
実施例 3	8 5
実施例 4	5 1
比較例	9 5

As for examples 1-4, as for a table 1, the effect which ESL was low stopped by each compared with the example of a comparison, and was most excellent about reduction of ESL especially shows that the example 1 is shown. Moreover, if an example 4 is compared with an example 1, although it is inferior, it shows the more excellent effect about reduction of ESL compared with examples 2 and 3.

[0067] as mentioned above, although explained in relation to the operation gestalt illustrating this invention, various the locations and number of external terminal electrodes can be boiled, corresponding to it in boiling and changing various the locations and number of a drawer electrode of internal electrodes ****, for example, it can change within the limits of this invention.

[0068]

[Effect of the Invention] According to this invention, as mentioned above, at least one side of the 1st and 2nd internal electrodes At least three drawer electrodes of at least three sides pulled out even upwards, respectively are respectively formed among four sides of the main part of a capacitor. Moreover, since the external terminal electrode of the side in which such a drawer electrode was pulled out, respectively respectively connected to a drawer electrode electrically upwards is prepared, respectively Since current length can be shortened while being able to offset magnetic flux effectively by turning the flow of the current on an internal electrode in the various directions, ESL can be made small.

[0069] Therefore, resonance frequency can be RF-ized. The multilayer capacitor which means that the frequency region which functions as a capacitor RF-izes this, therefore is applied to this invention can respond to RF-ization of an electronic circuitry enough, for example, can be advantageously used as the bypass capacitor in a RF circuit, and a decoupling capacitor. Moreover, since the multilayer capacitor concerning this invention is low [ESL] although the function (function in which power, such as the time of a standup, supplies suddenly quantity of electricity charged by the capacitor by the way to the power which is necessity) as a quick power supply is also required if it is in the decoupling capacitor used for MPU (microprocessing unit) etc., when turned to such a use, it can respond to rapidity enough.

[0070] In this invention, each following embodiment raises more offset of magnetic flux which was mentioned above, or shortens current length more, and is effective by reduction of ESL. It is the embodiment in which the external terminal electrode of at least three sides in which formed at least three drawer electrodes of at least three sides pulled out even upwards, respectively among four sides of the main part of a capacitor, and these drawers electrode was pulled out about the both sides of the 1st and 2nd internal electrodes by the 1st, respectively respectively connected to a drawer electrode electrically upwards is prepared, respectively.

[0071] the 1st 2nd above-mentioned operative condition -- it is the operation gestalt with which it sets like, the 1st internal electrode forms 1st at least four drawer electrode pulled out even on four each of the side, respectively, and the 1st external terminal electrode is prepared in connection with it on each of four sides where the 1st drawer electrode was pulled out. the 1st above-mentioned operative condition same with the 3rd -- it is the embodiment in which it sets like, the 2nd internal electrode forms 2nd at least four drawer electrode pulled out even on four each of the side, respectively, and the 2nd external terminal electrode is prepared in connection with it on each of four sides where the 2nd drawer electrode was pulled out.

[0072] In addition, about the both sides of these 1st and 2nd internal electrodes, if the above configurations are adopted, it is much more effective. It is the embodiment by which all the 1st external terminal electrode is arranged the 4th so that the 2nd external terminal electrode may be adjoined on each side in which the 1st external terminal electrode concerned was prepared. If it lets four sides pass and all the 1st external terminal electrode and all the 2nd external terminal electrode are arranged by turns at this time, in addition, it is effective.

[0073] It is the embodiment in which one [at least] drawer electrode of the 1st and 2nd internal electrodes is pulled out by the 5th at least two on at least one side. It is the embodiment arranged the 6th so that the external terminal electrode with which all external terminal electrodes make common the internal electrode connected to this may not adjoin each other. An external terminal electrode is the embodiment of four sides established upwards, respectively the 7th.

[0074] Moreover, in this invention, if the number of the portions of the 1st internal electrode and the 2nd internal electrode which counter is made into plurality so that two or more capacitor units in which parallel connection was carried out by at least one side of the 1st and 2nd external terminal electrodes may be formed, it is effective in a miniaturization and high-capacity-izing of a multilayer capacitor. In this invention, it has further the 3rd internal electrode which counters through a specific dielectric layer at least to one side of the 1st and 2nd internal electrodes. Moreover, the 3rd internal electrode 3rd at least two drawer electrode of at least two sides pulled out even upwards, respectively is formed respectively. Since current length can be shortened while being able to offset magnetic flux effectively even if the 3rd external terminal electrode of the side in which the 3rd drawer electrode was pulled out electrically connected to the 3rd drawer electrode upwards is prepared, respectively, the effect which

makes ESL small is respectively expectable.

[0075] In the operation gestalt mentioned above, since all the 1st external terminal electrode, all the 2nd external terminal electrode, and all the 3rd external terminal electrode can shorten current length more while being able to offset magnetic flux more effectively if they are arranged with a repeat in the same array sequence through four sides, ESL can be made smaller.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the plan showing the appearance of the multilayer capacitor 31 by the 1st operation gestalt of this invention.

[Drawing 2] It is the plan showing the internal structure of the multilayer capacitor 31 shown in drawing 1 with the cross section along which the 1st internal electrode 40 passes.

[Drawing 3] It is the plan showing the internal structure of the multilayer capacitor 31 shown in drawing 1 with the cross section along which the 2nd internal electrode 41 passes.

[Drawing 4] It is the plan showing in illustration the current which flows in the multilayer capacitor 31 shown in drawing 1.

[Drawing 5] It is the plan showing the appearance of the multilayer capacitor 71 by the 2nd operation gestalt of this invention.

[Drawing 6] It is the plan showing the internal structure of the multilayer capacitor 71 shown in drawing 5 with the cross section along which 1st internal electrode 40a passes.

[Drawing 7] It is the plan showing the internal structure of the multilayer capacitor 71 shown in drawing 5 with the cross section along which 2nd internal electrode 41a passes.

[Drawing 8] It is the plan showing the appearance of the multilayer capacitor 81 by the 3rd operation gestalt of this invention.

[Drawing 9] It is the plan showing the internal structure of the multilayer capacitor 81 shown in drawing 8 with the cross section along which the 3rd internal electrode 82 passes.

[Drawing 10] It is the plan showing the internal structure of the multilayer capacitor 81 shown in drawing 8 with the cross section along which 1st internal electrode 40b passes.

[Drawing 11] It is the plan showing the internal structure of the multilayer capacitor 81 shown in drawing 8 with the cross section along which 2nd internal electrode 41b passes.

[Drawing 12] It is the plan showing the appearance of the multilayer capacitor 91 by the 4th operation gestalt of this invention.

[Drawing 13] It is the plan showing the internal structure of the multilayer capacitor 91 shown in drawing 12 with the cross section along which 1st internal electrode 40c passes.

[Drawing 14] It is the plan showing the internal structure of the multilayer capacitor 91 shown in drawing 12 with the cross section along which 2nd internal electrode 41c passes.

[Drawing 15] It is the plan showing the appearance of the conventional multilayer capacitor 1 interesting for this invention.

[Drawing 16] It is the plan showing the internal structure of the multilayer capacitor 1 shown in drawing 15 with the cross section along which the 1st internal electrode 10 passes.

[Drawing 17] It is the plan showing the internal structure of the multilayer capacitor 1 shown in drawing 15 with the cross section along which the 2nd internal electrode 11 passes.

[Drawing 18] It is the plan showing in illustration the current which flows in the multilayer capacitor 1 shown in drawing 15.

[Description of Notations]

31, 71, 81, 91 Multilayer capacitor
32 33 Principal plane
34-37 Side
38 Main Part of Capacitor
39 Dielectric Layer
40, 40a, 40b, 40c The 1st internal electrode
41, 41a, 41b, 41c The 2nd internal electrode
42-47, 42b, 44c, 45b, 45c, 46c, 47a 1st drawer electrode
48-53, 48b, 50c, 51b, 51c, 52c, 53a 1st external terminal electrode
54-59, 54b, 56a, 57b, 57c, 58c, 59c 2nd drawer electrode
60-65, 60b, 62a, 63b, 63c, 64c, 65c 2nd external terminal electrode
82 3rd Internal Electrode
83-86 3rd drawer electrode
87-90 3rd external terminal electrode

[Translation done.]

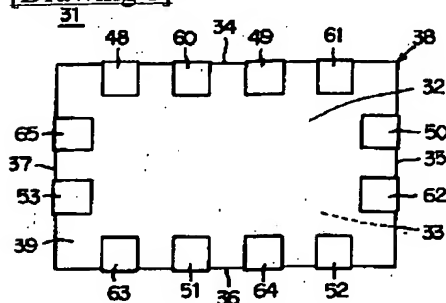
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

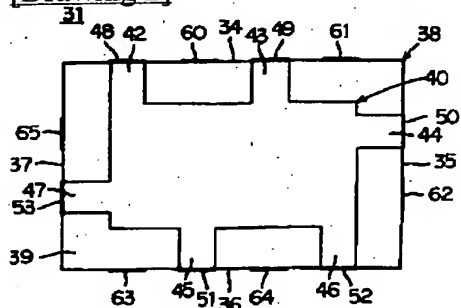
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

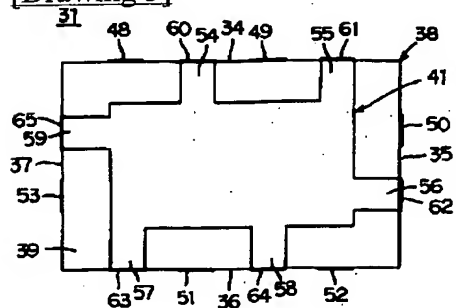
[Drawing 1]



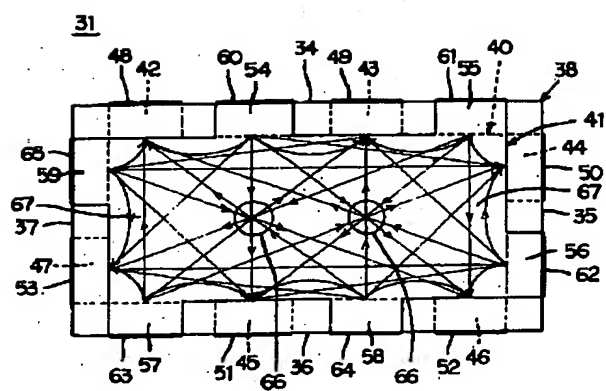
[Drawing 2]



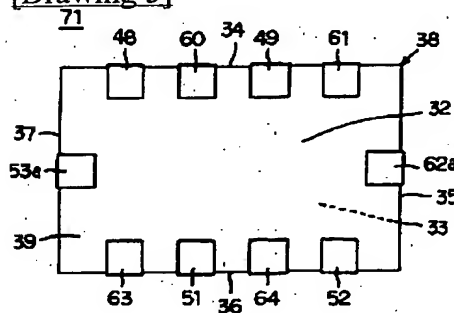
[Drawing 3]



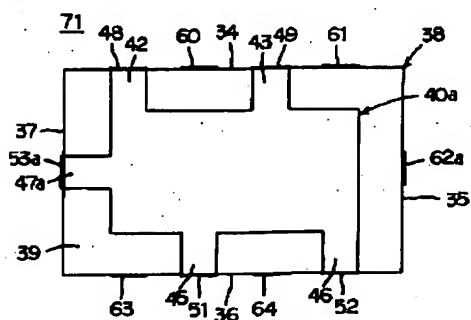
[Drawing 4]



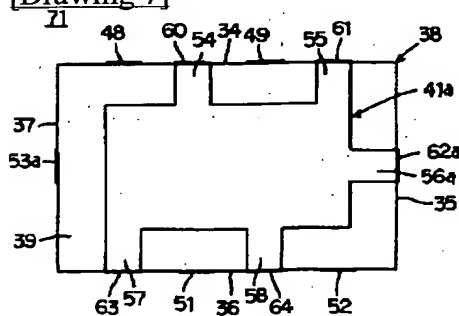
[Drawing 5]



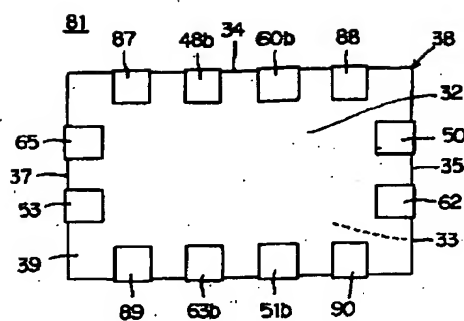
[Drawing 6]



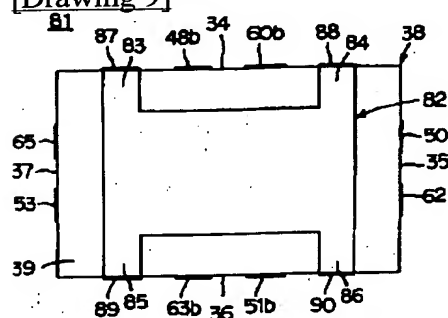
[Drawing 7]



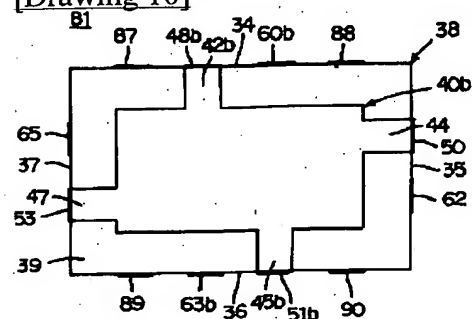
[Drawing 8]



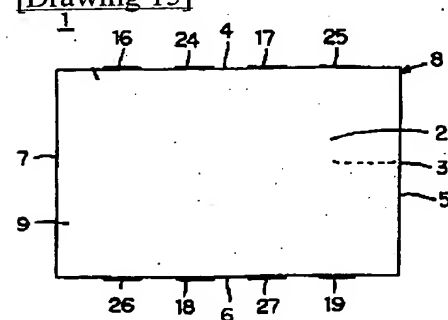
[Drawing 9]



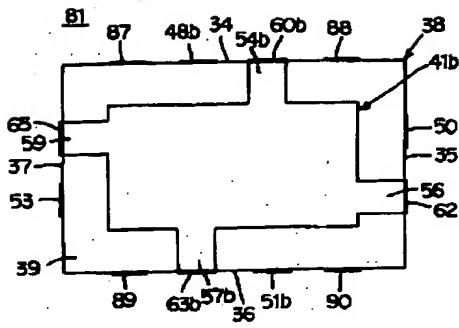
[Drawing 10]



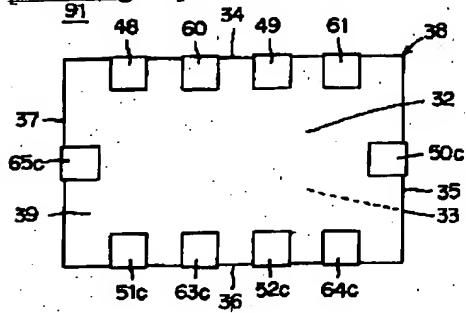
[Drawing 15]



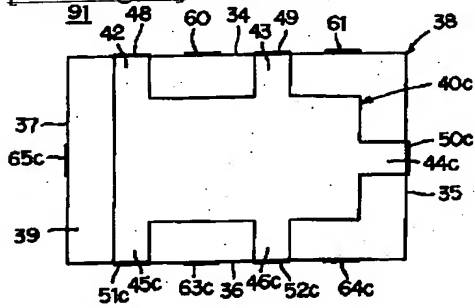
[Drawing 11]



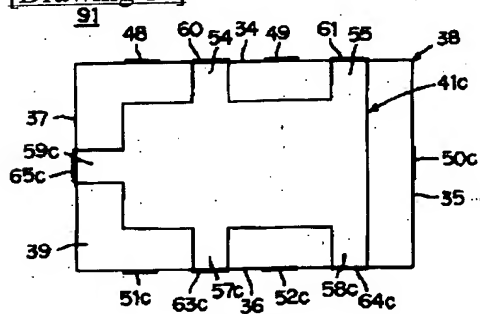
[Drawing 12]



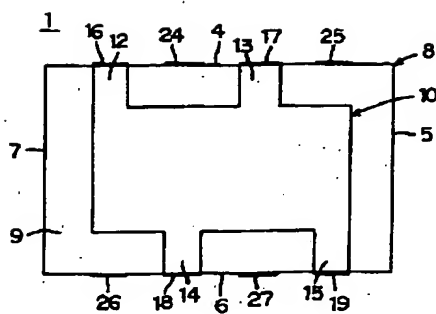
[Drawing 13]



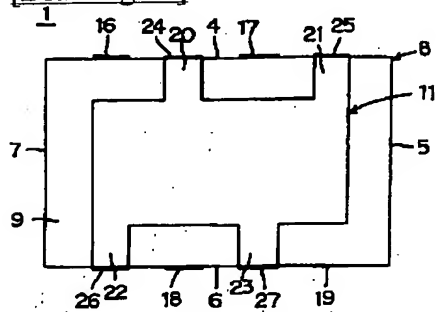
[Drawing 14]



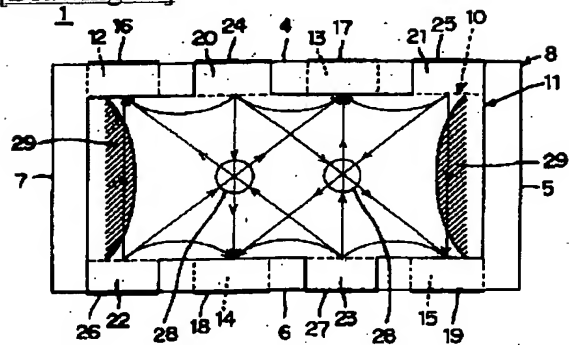
[Drawing 16]



[Drawing 17]



[Drawing 18]



[Translation done.]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 1 4 4 9 9 6

(43) 公開日 平成11年(1999)5月28日

(51) Int. Cl. 6

H 0 1 G

4/30

識別記号

3 0 1

F I

H 0 1 G

4/30

3 0 1 D

3 0 1 F

審査請求 有 請求項の数 1 2 O L

(全 1 2 頁)

(21) 出願番号 特願平9-306717

(22) 出願日 平成9年(1997)11月10日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 内藤 康行

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 谷口 政明

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 黒田 誉一

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(74) 代理人 弁理士 小柴 雅昭 (外1名)

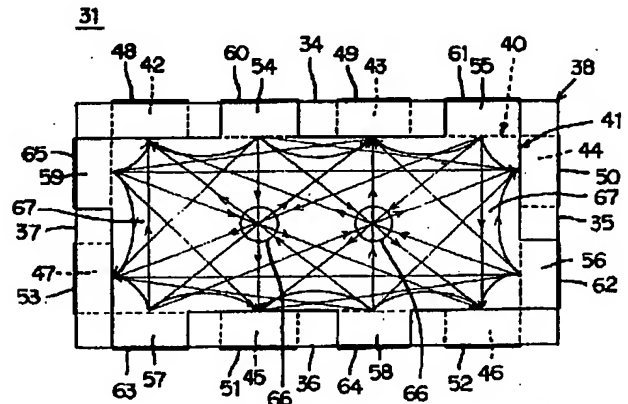
最終頁に続く

(54) 【発明の名称】 積層コンデンサ

(57) 【要約】

【課題】 積層コンデンサの等価直列インダクタンスを低減する。

【解決手段】 内部電極40, 41の各々の引出電極42~47, 54~59を、それぞれ、コンデンサ本体38の4つの側面34~37上にまで引き出し、これら引出電極42~47, 54~59の各々に電気的に接続される外部端子電極48~53, 60~65を、それぞれ、4つの側面34~37上に設ける。このとき、異なる内部電極に接続される外部端子電極が交互に隣り合うように配置する。このようにして、内部電極40, 41を流れる電流は種々の方向に向けられ、それによって、電流に関連して発生する磁束が相殺され、等価直列インダクタンスが低減される。



【特許請求の範囲】

【請求項 1】 相対向する 2 つの主面およびこれら主面間を連結する 4 つの側面を有する直方体状のコンデンサ本体を備え、

前記コンデンサ本体は、前記主面の方向に延びる複数の誘電体層、およびコンデンサユニットを形成するように特定の前記誘電体層を介して互いに対向する少なくとも 1 対の第 1 および第 2 の内部電極を備え、

前記第 1 および第 2 の内部電極は、それぞれ、前記側面のいずれか上にまで引き出される引出電極を形成しており、

前記第 1 および第 2 の内部電極の少なくとも一方は、前記引出電極として、4 つの前記側面のうち少なくとも 3 つの前記側面の各々上にまでそれぞれ引き出される少なくとも 3 つの引出電極を形成しており、

前記引出電極が引き出された前記側面の各々上には、前記引出電極に電気的に接続される外部端子電極がそれぞれ設けられている、積層コンデンサ。

【請求項 2】 前記第 1 の内部電極は、前記引出電極として、4 つの前記側面のうち少なくとも 3 つの前記側面の各々上にまでそれぞれ引き出される少なくとも 3 つの第 1 の引出電極を形成しており、

前記第 1 の引出電極が引き出された前記少なくとも 3 つの側面の各々上には、前記外部端子電極として、前記第 1 の引出電極に電気的に接続される第 1 の外部端子電極がそれぞれ設けられ、

前記第 2 の内部電極は、前記引出電極として、4 つの前記側面のうち少なくとも 3 つの前記側面の各々上にまでそれぞれ引き出される少なくとも 3 つの第 2 の引出電極を形成しており、

前記第 2 の引出電極が引き出された前記少なくとも 3 つの側面の各々上であって前記第 1 の外部端子電極が設けられた位置とは異なる位置には、前記外部端子電極として、前記第 2 の引出電極に電気的に接続される第 2 の外部端子電極がそれぞれ設けられている、

請求項 1 に記載の積層コンデンサ。

【請求項 3】 前記第 1 の内部電極は、4 つの前記側面の各々上にまでそれぞれ引き出される少なくとも 4 つの前記第 1 の引出電極を形成しており、

前記第 1 の外部端子電極は、前記第 1 の引出電極が引き出された前記 4 つの側面の各々上に設けられている、請求項 2 に記載の積層コンデンサ。

【請求項 4】 前記第 2 の内部電極は、4 つの前記側面の各々上にまでそれぞれ引き出される少なくとも 4 つの前記第 2 の引出電極を形成しており、

前記第 2 の外部端子電極は、前記第 2 の引出電極が引き出された前記 4 つの側面の各々上に設けられている、請求項 2 または 3 に記載の積層コンデンサ。

【請求項 5】 すべての前記第 1 の外部端子電極は、当該第 1 の外部端子電極が設けられた各前記側面上におい

て、前記第 2 の外部端子電極と隣り合うように配置されている、請求項 2 ないし 4 のいずれかに記載の積層コンデンサ。

【請求項 6】 すべての前記第 1 の外部端子電極とすべての前記第 2 の外部端子電極とは、4 つの前記側面を通して交互に配置されている、請求項 5 に記載の積層コンデンサ。

【請求項 7】 前記第 1 および第 2 の外部端子電極の少なくとも一方によって並列接続された複数の前記コンデンサユニットを形成するように、前記第 1 の内部電極と前記第 2 の内部電極との対向する部分の数は複数とされる、請求項 1 ないし 6 のいずれかに記載の積層コンデンサ。

【請求項 8】 前記第 1 および第 2 の内部電極の少なくとも一方の前記引出電極は、少なくとも 1 つの前記側面上の少なくとも 2 箇所に引き出されている、請求項 1 ないし 7 のいずれかに記載の積層コンデンサ。

【請求項 9】 前記第 1 および第 2 の内部電極の少なくとも一方に対して特定の前記誘電体層を介して対向する第 3 の内部電極をさらに備え、

前記第 3 の内部電極は、少なくとも 2 つの前記側面の各々上にまでそれぞれ引き出される少なくとも 2 つの第 3 の引出電極を形成しており、

前記第 3 の引出電極が引き出された前記側面の各々上には、前記第 3 の引出電極に電気的に接続される第 3 の外部端子電極がそれぞれ設けられている、請求項 1 ないし 8 のいずれかに記載の積層コンデンサ。

【請求項 10】 すべての前記第 1 の外部端子電極とすべての前記第 2 の外部端子電極とすべての前記第 3 の外部端子電極とは、4 つの前記側面を通して同じ配列順序を繰り返しながら配置されている、請求項 9 に記載の積層コンデンサ。

【請求項 11】 すべての前記外部端子電極は、これに接続される前記内部電極を共通とする外部端子電極とは隣り合わないように配置されている、請求項 1 ないし 10 のいずれかに記載の積層コンデンサ。

【請求項 12】 前記外部端子電極は、4 つの前記側面の各々上にそれぞれ設けられている、請求項 1 ないし 11 のいずれかに記載の積層コンデンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、積層コンデンサに関するもので、特に、高周波回路において有利に適用され得る積層コンデンサに関するものである。

【0002】

【従来の技術】この発明にとって興味ある従来の積層コンデンサとして、たとえば特開平 2 - 2 5 6 2 1 6 号公報に記載されたものがある。ここでは、図 1 5 ないし図 1 7 に示すような積層コンデンサ 1 が開示されている。

図 1 5 は、積層コンデンサ 1 の外観を示す平面図であ

り、図16は、積層コンデンサ1の内部構造を第1の断面をもって示す平面図であり、図17は、積層コンデンサ1の内部構造を第1の断面とは異なる第2の断面をもって示す平面図である。

【0003】積層コンデンサ1は、図15にその外観を示すように、相対向する2つの主面2および3ならびにこれら主面2および3間を連結する4つの側面4、5、6および7を有する直方体状のコンデンサ本体8を備えている。コンデンサ本体8は、主面2および3の方向に延びる、たとえばセラミック誘電体からなる複数の誘電体層9、ならびにコンデンサユニットを形成するように特定の誘電体層9を介して互に対向する少なくとも1対の第1および第2の内部電極10および11を備えている。

【0004】第1の内部電極10が図16に示されているように、図16は、第1の内部電極10が通る断面を示している。また、第2の内部電極11が図17に示されているように、図17は、第2の内部電極11が通る断面を示している。この積層コンデンサ1は、高周波域での使用に適するように、等価直列インダクタンス(ESL)の低減化が図られている。

【0005】そのため、第1の内部電極10は、相対向する2つの側面4および6の各々上までそれぞれ引き出される4つの第1の引出電極12、13、14および15を形成している。より詳細には、引出電極12および13は、側面4上にまで引き出され、また、引出電極14および15は、側面6上にまで引き出されている。また、上述の第1の引出電極12～15が引き出された側面4および6の各々上には、これら第1の引出電極12～15に電気的に接続される第1の外部端子電極16、17、18および19がそれぞれ設けられている。すなわち、外部端子電極16および17は、側面4上において引出電極12および13にそれぞれ接続され、外部端子電極18および19は、側面6上において引出電極14および15にそれぞれ接続されている。

【0006】他方、第2の内部電極11は、相対向する2つの側面4および6の各々上までそれぞれ引き出される4つの第2の引出電極20、21、22および23を形成している。より詳細には、引出電極20および21は、側面4上であって上述した第1の引出電極12および13が引き出された位置とは異なる位置にまで引き出され、また、引出電極22および23は、側面6上であって上述した第1の引出電極14および15が引き出された位置とは異なる位置にまで引き出されている。

【0007】また、上述の第2の引出電極20～23が引き出された側面4および6の各々上には、これら第2の引出電極20～23に電気的に接続される第2の外部端子電極24、25、26および27がそれぞれ設けられている。すなわち、外部端子電極24および25は、前述した第1の外部端子電極16および17が設けられ

た位置とは異なる位置において側面4上で引出電極20および21にそれぞれ接続され、外部端子電極26および27は、前述した第1の外部端子電極18および19が設けられた位置とは異なる位置において側面6上で引出電極22および23にそれぞれ接続されている。

【0008】このようにして、2つの側面4および6上にあつては、複数の第1の外部端子電極16～19と複数の第2の外部端子電極24～27とが交互に隣り合うように配置されている。

【0009】

【発明が解決しようとする課題】図18には、この積層コンデンサ1において流れる電流が、図17に相当する平面図をもって図解的に示されている。図18において、第1の内部電極10が破線で示され、第2の内部電極11が実線で示され、これらが重ねられた状態で図示されている。

【0010】図18において、矢印によって電流の典型的な経路および方向が示されている。これら矢印で示されるように、電流は、図示した状態あるいは時点では、第2の外部端子電極24～27の各々から第1の外部端子電極16～19の各々に向かって流れているものとする。なお、当然のことながら、交流の場合には、逆に流れる時点もある。

【0011】電流が流れたとき、周知のように、電流の方向によってその方向が決まる磁束が誘起され、そのため自己インダクタンス成分が生じる。図18において、○で示した内部電極10および11の中央部28では、電流は種々の方向へ流れるので、電流によって誘起される磁束は相殺されるため、磁束の発生はほとんどない。

【0012】また、外部端子電極16～19ならびに24～27の各々の近傍では、電流は、第1の外部端子電極16～19の各々へ向かい、また、第2の外部端子電極24～27の各々から離れる傾向にあるが、略180度の広がりをもって図18による左方向へ流れる電流と右方向へ流れる電流とが存在する。そのため、磁束はその大部分が相殺され、その結果、深刻な磁束の発生をもたらすことはない。

【0013】したがって、図15ないし図17に示した積層コンデンサ1は、上述した点において、自己インダクタンスの発生が抑制され、低ESL化が図られている。しかしながら、いずれの外部端子電極をも位置させていない側面5および7の各々の近傍、すなわち、図18においてハッチングを施して示した左右の各端部29においては、電流はほぼ一定の方向へ流れるため、磁束の相殺は実質的に生じず、あくまでも自己インダクタンスの発生および増大をもたらしている。

【0014】したがって、図15ないし図17に示した積層コンデンサ1において図られた低ESL化のための対策は、効果の点において、未だ不十分であると言える。そこで、この発明の目的は、低ESL化をより効果

的に図り得るように改良された積層コンデンサを提供しようとするのである。

【0015】

【課題を解決するための手段】この発明に係る積層コンデンサは、相対向する2つの主面およびこれら主面間を連結する4つの側面を有する直方体状のコンデンサ本体を備えている。また、このコンデンサ本体は、主面の方向に延びる複数の誘電体層、およびコンデンサユニットを形成するように特定の誘電体層を介して互に対向する少なくとも1対の第1および第2の内部電極を備え、これら第1および第2の内部電極は、それぞれ、側面のいずれか上にまで引き出される引出電極を形成している。

【0016】このような積層コンデンサにおいて、上述した技術的課題を解決するため、この発明では、次のように構成される。すなわち、第1および第2の内部電極の少なくとも一方は、上述の引出電極として、4つの側面のうち少なくとも3つの側面の各々上にまでそれぞれ引き出される少なくとも3つの引出電極を形成しており、引出電極が引き出された側面の各々上には、引出電極に電気的に接続される外部端子電極がそれぞれ設けられる。

【0017】この発明において、好ましくは、上述の第1の内部電極は、引出電極として、4つの側面のうち少なくとも3つの側面の各々上にまでそれぞれ引き出される少なくとも3つの第1の引出電極を形成している。そして、これら第1の引出電極が引き出された少なくとも3つの側面の各々上には、外部端子電極として、第1の引出電極に電気的に接続される第1の外部端子電極がそれぞれ設けられる。また、第2の内部電極も、引出電極として、4つの側面のうち少なくとも3つの側面の各々上にまでそれぞれ引き出される少なくとも3つの第2の引出電極を形成している。そして、これら第2の引出電極が引き出された少なくとも3つの側面の各々上であって第1の外部端子電極が設けられた位置とは異なる位置には、第2の引出電極に電気的に接続される第2の外部端子電極がそれぞれ設けられる。

【0018】この発明において、より好ましくは、第1の内部電極は、4つの側面の各々上にまでそれぞれ引き出される少なくとも4つの第1の引出電極を形成しており、それに伴って、第1の外部端子電極は、第1の引出電極が引き出された4つの側面の各々上に設けられる。同様に、第2の内部電極についても、4つの側面の各々上にまでそれぞれ引き出される少なくとも4つの第2の引出電極を形成しており、それに伴って、第2の外部端子電極は、第2の引出電極が引き出された4つの側面の各々上に設けられることがより好ましい。

【0019】また、好ましくは、すべての第1の外部端子電極は、当該第1の外部端子電極が設けられた各側面上において、第2の外部端子電極と隣り合うように配置

される。また、より好ましくは、すべての第1の外部端子電極とすべての第2の外部端子電極とは、4つの側面を通して交互に配置される。

【0020】また、第1および第2の外部端子電極の少なくとも一方によって並列接続された複数のコンデンサユニットを形成するように、第1の内部電極と第2の内部電極との対向する部分の数は複数とされてもよい。また、第1および第2の内部電極の少なくとも一方の引出電極は、少なくとも1つの側面上の少なくとも2箇所に引き出されていてもよい。

【0021】また、この発明に係る積層コンデンサは、第1および第2の内部電極の少なくとも一方に対して特定の誘電体層を介して対向する第3の内部電極をさらに備えていてもよい。この場合、第3の内部電極は、少なくとも2つの側面の各々上にまでそれぞれ引き出される少なくとも2つの第3の引出電極を形成しており、第3の引出電極が引き出された側面の各々上には、第3の引出電極に電気的に接続される第3の外部端子電極がそれぞれ設けられる。

【0022】上述した実施形態において、好ましくは、すべての第1の外部端子電極とすべての第2の外部端子電極とすべての第3の外部端子電極とは、4つの側面を通して同じ配列順序を繰り返しながら配置される。この発明において、別の局面から見れば、すべての外部端子電極は、これに接続される内部電極を共通とする外部端子電極とは隣り合わないよう配置されるのが好ましい。

【0023】また、この発明において、別の局面から見れば、外部端子電極は、4つの側面の各々上にそれぞれ設けられるのが好ましい。

【0024】

【発明の実施の形態】図1ないし図3は、この発明の第1の実施形態による積層コンデンサ31を示している。ここで、図1ないし図3は、前述した図15ないし図17にそれぞれ相当するもので、図1は、積層コンデンサ31の外観を示す平面図であり、図2は、積層コンデンサ31の内部構造を第1の断面をもって示す平面図であり、図3は、積層コンデンサ31の内部構造を第1の断面とは異なる第2の断面をもって示す平面図である。

【0025】積層コンデンサ31は、図1にその外観を示すように、前述した積層コンデンサ1と同様、相対向する2つの主面32および33ならびにこれら主面32および33間を連結する4つの側面34、35、36および37を有する直方体状のコンデンサ本体38を備えている。コンデンサ本体38は、主面32および33の方向に延びる、たとえばセラミック誘電体からなる複数の誘電体層39、ならびにコンデンサユニットを形成するように特定の誘電体層39を介して互に対向する少なくとも1対の第1および第2の内部電極40および41を備えている。

10

20

30

40

50

【0026】図2は、第1の内部電極40が通る断面を示し、また、図3は、第2の内部電極41が通る断面を示している。第1の内部電極40は、4つの側面34～37の各々上にまでそれぞれ引き出される6つの第1の引出電極42、43、44、45、46および47を形成している。より詳細には、引出電極42および43は、側面34上にまで引き出され、引出電極44は、側面35上にまで引き出され、引出電極45および46は、側面36上にまで引き出され、引出電極47は、側面37上にまで引き出されている。

【0027】また、上述の第1の引出電極42～47が引き出された側面34～37の各々上には、これら第1の引出電極42～47に電気的に接続される第1の外部端子電極48、49、50、51、52および53がそれぞれ設けられている。すなわち、外部端子電極48および49は、側面34上において引出電極42および43にそれぞれ接続され、外部端子電極50は、側面35上において引出電極44に接続され、外部端子電極51および52は、側面36上において引出電極45および46にそれぞれ接続され、外部端子電極53は、側面37上において引出電極47に接続されている。

【0028】他方、第2の内部電極41は、4つの側面34～37の各々上にまでそれぞれ引き出される6つの第2の引出電極54、55、56、57、58および59を形成している。より詳細には、引出電極54および55は、側面34上にまで引き出され、引出電極56は、側面35上にまで引き出され、引出電極57および58は、側面36上にまで引き出され、引出電極59は、側面37上にまで引き出されている。

【0029】上述した第2の引出電極54～59がそれぞれ引き出される側面34～37上での各位置は、第1の引出電極42～47がそれぞれ引き出される各位置とは異ならされている。また、上述の第2の引出電極54～59が引き出された側面34～37の各々上には、これら第2の引出電極54～59に電気的に接続される第2の外部端子電極60、61、62、63、64および65が、それぞれ、第1の外部端子電極48～53とは異なる位置に設けられている。外部端子電極60および61は、側面34上において引出電極54および55にそれぞれ接続され、外部端子電極62は、側面35上において引出電極56に接続され、外部端子電極63および64は、側面36上において引出電極57および58にそれぞれ接続され、外部端子電極65は、側面37上において引出電極59に接続されている。

【0030】このようにして、4つの側面34～37の各々上において、すべての第1の外部端子電極48～53は、第2の外部端子電極60～65と隣り合うように配置されている。また、別の観点から見ると、すべての外部端子電極48～53および60～65のいずれもが、これに接続される内部電極を共通にするものとは隣

り合わないよう配置されている。特に、2つの第1の引出電極42および43ならびに2つの第2の引出電極54および55が引き出された側面34上にあつては、第1の外部端子電極48および49と第2の外部端子電極60および61とが交互に配置され、また、2つの第1の引出電極45および46ならびに2つの第2の引出電極57および58が引き出された側面36上にあつては、第1の外部端子電極51および52と第2の外部端子電極63および64とが交互に配置されている。さらに、4つの側面34～37を通して見たときも、第1の外部端子電極48～52と第2の外部端子電極60～65とが交互に配置されている。

【0031】このような積層コンデンサ31において、より大きな容量を得るため、第1の内部電極40と第2の内部電極41との対向する部分の数は複数とされ、複数のコンデンサユニットを形成するようにされる。すなわち、第1および第2の内部電極40および41のいずれか一方がコンデンサ本体38内において1つ形成されるとき、第1および第2の内部電極40および41のいずれか他方がこれを挟むように2つ形成されたり、さらに大きな容量を得ようとするときには、第1および第2の内部電極40および41の組の数が複数とされる。このようにして第1の内部電極40と第2の内部電極41との対向する部分の数が複数とされたときには、複数のコンデンサユニットは、第1の外部端子電極48～53および第2の外部端子電極60～65の少なくとも一方によって並列接続される。

【0032】なお、外部端子電極48～53および60～65は、それぞれ、側面34～37上だけでなく、両主面32および33の各一部にまで延びるように形成されている。図4は、前述した図18に対応する図であつて、この積層コンデンサ31において流れる電流を、図3に相当する平面図をもって図解的に示している。図4において、第1の内部電極40が破線で示され、第2の内部電極41が実線で示され、これらが重ねられた状態で図示されている。

【0033】図4において、矢印によって、その典型的な経路および方向が示されるように、電流は、図示した状態あるいは時点では、第2の外部端子電極60～65の各々から第1の外部端子電極48～53の各々に向かって流れているものとする。このように、電流が流れたとき、周知のように、電流の方向によってその方向が決まる磁束が誘起され、そのため自己インダクタンス成分が生じる。

【0034】図4を参照して、○で示した内部電極40および41の中央部66では、電流は種々の方向へ流れるので、電流によって誘起される磁束は相殺されるため、磁束の発生はほとんどない。このことは、図18に示した従来の場合と実質的に同様である。また、外部端子電極48～53ならびに60～65の各々の近傍で

は、電流は、第1の外部端子電極48～53の各々へ向かい、また、第2の外部端子電極60～65の各々から離れる傾向にあるが、略180度の広がりをもって図4による左方向へ流れる電流と右方向へ流れる電流とが存在する。そのため、磁束はその大部分が相殺され、その結果、深刻な磁束の発生をもたらすことはない。このことも、図18に示した従来の場合と実質的に同様である。

【0035】図4において、図18に示した従来の場合との大きな違いは、側面35および37の各近傍、すなわち、図4による左右の各端部67にある。これら端部67においても、第1の外部端子電極50および53ならびに第2の外部端子電極62および65が設けられているので、際立った電流の流れはなく、他の側面34および35の各近傍と同様、深刻な磁束の発生がもたされることがない。

【0036】したがって、図1ないし図3に示した積層コンデンサ31によれば、内部電極40および41の中央部66から端部67まで全面にわたって磁束が相殺され、ESLを極めて低く抑えることができる。また、第1の引出電極42～47ないしは第1の外部端子電極48～53の各々と、これらとは極性の異なる第2の引出電極54～59ないしは第2の外部端子電極60～64の各々とは、互いに近くに配置して互いの距離を短くすることができるので、電流長を短くすることができ、このことによっても、これらの中で発生する自己インダクタンス成分は、低くされることができる。

【0037】図5ないし図7は、この発明の第2の実施形態による積層コンデンサ71を示している。ここで、図5は、積層コンデンサ71の外観を示す平面図であり、図6は、積層コンデンサ71の内部構造を第1の断面をもって示す平面図であり、図7は、積層コンデンサ71の内部構造を第1の断面とは異なる第2の断面をもって示す平面図である。

【0038】図5ないし図7は、第1の実施形態を示す図1ないし図3にそれぞれ相当するもので、図5ないし図7において、図1ないし図3に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。この第2の実施形態による積層コンデンサ71では、第1の内部電極40aは、3つの側面34、36および37の各々上にまでそれぞれ引き出される5つの第1の引出電極42、43、45、46および47aを形成している。第1の実施形態による積層コンデンサ31との相違点を言えば、この積層コンデンサ71では、側面35上にまで引き出される引出電極44に相当する引出電極がなく、側面37にまで引き出される引出電極47aは、側面37の中央部に引き出され、引出電極47とはその位置が異ならされている。

【0039】また、上述の第1の引出電極42～47aが引き出された3つの側面34、36および37の各々

上には、これら5つの第1の引出電極42～47aに電氣的に接続される5つの第1の外部端子電極48、49、51、52および53aがそれぞれ設けられている。第1の実施形態による積層コンデンサ31との相違点を言えば、この積層コンデンサ71では、第1の外部端子電極50に相当する外部端子電極がなく、外部端子電極53aは、外部端子電極53とはその位置が異ならされている。

【0040】他方、第2の内部電極41aは、3つの側面34～36の各々上にまでそれぞれ引き出される5つの第2の引出電極54、55、56a、57および58を形成している。第1の実施形態による積層コンデンサ31との相違点を言えば、この積層コンデンサ71では、側面37上にまで引き出される引出電極59に相当する引出電極がなく、側面35にまで引き出される引出電極56aは、側面37の中央部に引き出され、引出電極56とはその位置が異ならされている。

【0041】また、上述の第2の引出電極54～58が引き出された3つの側面34～36の各々上には、これら第2の引出電極54～58に電氣的に接続される第2の外部端子電極60、61、62a、63および64がそれぞれ設けられている。第1の実施形態による積層コンデンサ31との相違点を言えば、この積層コンデンサ71では、第2の外部端子電極65に相当する外部端子電極がなく、外部端子電極62aは、外部端子電極62とはその位置が異ならされている。

【0042】このような積層コンデンサ71においても、より大きな容量を得るためには、第1の内部電極40aと第2の内部電極41aとの対向する部分の数は複数とされ、複数のコンデンサユニットを形成するようにされる。そして、これら複数のコンデンサユニットは、第1の外部端子電極48～53aおよび第2の外部端子電極60～64の少なくとも一方によって並列接続される。

【0043】この第2の実施形態によれば、2つの側面34および36の各々上において、第1の外部端子電極48、49、51および52の各々は、第2の外部端子電極60、61、63および64のいずれかと隣り合うように配置されている。また、側面35上においては、第2の外部端子電極62aのみが位置し、側面37上においては、第1の外部端子電極53aのみが位置しているだけであるが、このように側面35および37にも外部端子電極62aおよび53aをそれぞれ位置させることにより、少なくとも図15ないし図17に示した従来積層コンデンサ1に比べれば、内部電極40aおよび41a上での電流の流れをより種々の方向に向けて磁束をより多く相殺することができるとともに、電流長をより短くすることができるので、インダクタンス成分をより低減することができる。

【0044】図8ないし図11は、この発明の第3の実

施形態による積層コンデンサ81を示している。ここで、図8は、積層コンデンサ81の外観を示す平面図であり、図9は、積層コンデンサ81の内部構造を第1の断面をもって示す平面図であり、図10は、積層コンデンサ81の内部構造を第1の断面とは異なる第2の断面をもって示す平面図であり、図11は、積層コンデンサ81の内部構造を第1および第2の断面とは異なる第3の断面をもって示す平面図である。

【0045】図8ないし図11において、図1ないし図3に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。この第3の実施形態による積層コンデンサ81は、第1および第2の内部電極40bおよび41bの少なくとも一方に対して特定の誘電体層39を介して対向する第3の内部電極82をさらに備えることを特徴としている。この第3の内部電極82は、2つの側面34および36の各々上にまでそれぞれ引き出される4つの第3の引出電極83、84、85および86を形成している。より詳細には、引出電極83および84は、側面34上にまで引き出され、引出電極85および86は、側面36上にまで引き出されてい

る。

【0046】また、上述の第3の引出電極83～86が引き出された側面34および36の各々上には、これら第1の引出電極83～86に電気的に接続される第3の外部端子電極87、88、89および90がそれぞれ設けられている。すなわち、外部端子電極87および88は、側面34上において引出電極83および84にそれぞれ接続され、外部端子電極89および90は、側面36上において引出電極85および86にそれぞれ接続されている。第1の実施形態による積層コンデンサ31との相違点を言えば、この積層コンデンサ81では、積層コンデンサ31における第1の外部端子電極48および52が設けられた各位置に第3の外部端子電極87および90がそれぞれ設けられ、積層コンデンサ31における第2の外部端子電極61および63が設けられた各位置に第3の外部端子電極88および89がそれぞれ設けられている。

【0047】他方、第1の内部電極40bについては、4つの側面34～37の各々上にまでそれぞれ引き出される4つの第1の引出電極42b、44、45bおよび47を形成している。第1の実施形態による積層コンデンサ31との相違点を言えば、この積層コンデンサ81では、側面34および36上にまで引き出される引出電極としては、それぞれ1つずつの引出電極42bおよび45bしかない。

【0048】また、上述の第1の引出電極42b～47が引き出された4つの側面34～37の各々上には、これら4つの第1の引出電極42b～47に電気的に接続される4つの第1の外部端子電極48b、50、51bおよび53がそれぞれ設けられている。第1の実施形態

による積層コンデンサ31との相違点を言えば、この積層コンデンサ81では、積層コンデンサ31における第2の外部端子電極60および64が設けられた各位置に第1の外部端子電極48bおよび51bがそれぞれ設けられている。

【0049】また、第2の内部電極41bについては、4つの側面34～37の各々上にまでそれぞれ引き出される4つの第2の引出電極54b、56、57bおよび59を形成している。第1の実施形態による積層コンデンサ31との相違点を言えば、この積層コンデンサ81では、側面34および36上にまで引き出される引出電極としては、それぞれ1つずつの引出電極54bおよび57bしかない。

【0050】また、上述の第2の引出電極54b～59が引き出された4つの側面34～37の各々上には、これら4つの第1の引出電極54b～59に電気的に接続される4つの第2の外部端子電極60b、62、63bおよび65がそれぞれ設けられている。第1の実施形態による積層コンデンサ31との相違点を言えば、この積層コンデンサ81では、積層コンデンサ31における第1の外部端子電極49および51が設けられた各位置に第2の外部端子電極60bおよび63bがそれぞれ設けられている。

【0051】この積層コンデンサ81において、たとえば、第3の内部電極82、第1の内部電極40b、第2の内部電極41bの順に積層される。これによって、4つの側面34～37を通して、第3の外部端子電極87～90のいずれか、第1の外部端子電極48b～53のいずれか、および第2の外部端子電極60b～65のいずれか、という同じ配列順序が繰り返される。なお、上述の積層順序は任意に変更することができる。

【0052】また、積層コンデンサ81においても、より大きな容量を得るためには、第3の内部電極82、第1の内部電極40bおよび第2の内部電極41bの各々の対向によって形成されるコンデンサユニットの数が複数とされる。そのため、たとえば、第3の内部電極82および第1の内部電極40bのみを複数回繰り返して積層したり、第1の内部電極40bおよび第2の内部電極41bのみを複数回繰り返して積層したり、第2の内部電極41bおよび第3の内部電極82のみを複数回繰り返して積層したり、第3の内部電極82と第1の内部電極40bと第2の内部電極41bとを複数回繰り返して積層したりすることができる。そして、これら複数のコンデンサユニットは、第3の外部端子電極87～90、第1の外部端子電極48b～53および第2の外部端子電極60b～65の少なくともいずれかによって並列接続される。

【0053】この第3の実施形態においても、第1の実施形態と同様、互いに異なる内部電極に接続される、すなわち互いに異なる極性を有する外部端子電極が、4つ

の側面34～37の各々上に位置している。より詳細には、側面34上においては、第1の外部端子電極48b、第2の外部端子電極60bならびに第3の外部端子電極87および88が位置し、側面35上においては、第1の外部端子電極50および第2の外部端子電極62が位置し、側面36上においては、第1の外部端子電極51b、第2の外部端子電極63bならびに第3の外部端子電極89および90が位置し、側面37上においては、第1の外部端子電極53および第2の外部端子電極65が位置している。

【0054】したがって、この第3の実施形態によっても、内部電極40bおよび41b上での電流の流れを種々の方向に向けることによって磁束を効果的に相殺することができるとともに、電流長を短くすることができるので、インダクタンス成分の低減を図ることができる。なお、この第3の実施形態では、第1の実施形態とは異なり、すべての箇所において異なる極性の外部端子電極が互いに隣り合うようには配置されていないが、少なくとも図15ないし図17に示した従来の積層コンデンサ1に比べれば、内部電極40および41上での電流の流れをより種々の方向に向けることができ、かつ電流長をより短くできるので、インダクタンス成分をより低減することができる。

【0055】また、第3の実施形態の変形例として、第3の内部電極82を備えず、第1および第2の内部電極40bおよび41bのみを積層した積層コンデンサとすることもできる。さらに、第3の内部電極82に、さらに側面35および37に引き出される引出電極を形成してもよい。図12ないし図14は、この発明の第4の実施形態による積層コンデンサ91を示している。ここで、図12は、積層コンデンサ91の外観を示す平面図であり、図13は、積層コンデンサ91の内部構造を第1の断面をもって示す平面図であり、図14は、積層コンデンサ91の内部構造を第1の断面とは異なる第2の断面をもって示す平面図である。

【0056】図12ないし図14は、第1の実施形態を示す図1ないし図3にそれぞれ相当するもので、図12ないし図14において、図1ないし図3に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。この第4の実施形態による積層コンデンサ91は、第2の実施形態による積層コンデンサ71と外観的に類似している。第1の内部電極40cは、3つの側面34、35および36の各々上にまでそれぞれ引き出される5つの第1の引出電極42、43、44c、45cおよび46cを形成している。第1の実施形態による積層コンデンサ31との相違点を言えば、この積層コンデンサ91では、側面37上にまで引き出される引出電極47に相当する引出電極がなく、側面35および36にまでそれぞれ引き出される引出電極44c、45cおよび46cは、引出電極44～46とはその各位置が

異ならされている。

【0057】また、上述の第1の引出電極42～46cが引き出された3つの側面34～36の各々上には、これら5つの第1の引出電極42～46cに電氣的に接続される5つの第1の外部端子電極48、49、50c、51cおよび52cがそれぞれ設けられている。第1の実施形態による積層コンデンサ31との相違点を言えば、この積層コンデンサ91では、第1の外部端子電極53に相当する外部端子電極がなく、外部端子電極50c、51cおよび52cは、外部端子電極50～52とはその各位置が異ならされている。

【0058】他方、第2の内部電極41cは、3つの側面34、36および37の各々上にまでそれぞれ引き出される5つの第2の引出電極54、55、57c、58cおよび59cを形成している。第1の実施形態による積層コンデンサ31との相違点を言えば、この積層コンデンサ91では、側面35上にまで引き出される引出電極59に相当する引出電極がなく、側面34、36および37にまで引き出される引出電極57c、58cおよび59cは、引出電極57～59とはその各位置が異ならされている。

【0059】また、上述の第2の引出電極54～59cが引き出された3つの側面34、36および37の各々上には、これら第2の引出電極54～59cに電氣的に接続される第2の外部端子電極60、61、63c、64cおよび65cがそれぞれ設けられている。第1の実施形態による積層コンデンサ31との相違点を言えば、この積層コンデンサ91では、第2の外部端子電極62に相当する外部端子電極がなく、外部端子電極63c、64cおよび65cは、外部端子電極63～65とはその各位置が異ならされている。

【0060】このような積層コンデンサ91においても、より大きな容量を得るためには、第1の内部電極40cと第2の内部電極41cとの対向する部分の数は複数とされ、複数のコンデンサユニットを形成するようにされる。そして、これら複数のコンデンサユニットは、第1の外部端子電極48～52cおよび第2の外部端子電極60～65cの少なくとも一方によって並列接続される。

【0061】この第4の実施形態では、前述した第1の実施形態と同様、4つの側面34～37を通して第1の外部端子電極48～52cのいずれかと第2の外部端子電極60～65cのいずれかが交互に配置されている。この点において、第2の実施形態と異なっている。したがって、第4の実施形態によれば、第1の実施形態と同様、内部電極40cおよび41c上での電流の流れを種々の方向に向けて磁束を効果的に相殺することができるとともに、電流長を短くすることができ、これによって、インダクタンス成分を低減することができる。

【0062】以上説明した、第1の実施形態に係る積層

10

20

30

40

50

コンデンサ 3 1 (実施例 1)、第 2 の実施形態に係る積層コンデンサ 7 1 (実施例 2)、第 3 の実施形態に係る積層コンデンサ 8 1 (実施例 3)、第 4 の実施形態に係る積層コンデンサ 9 1 (実施例 4)、および従来の積層コンデンサ 1 (比較例) の各試料を作製し、各々の ESL を評価した。

【0063】ここで、各試料は、外形平面寸法を 3. 2 mm×2. 5 mm とし、内部電極を合計で 6 つ積層したもの、すなわち、積層コンデンサ 3 1、7 1、9 1 および 1 (実施例 1、2 および 4 ならびに比較例) のように 2 種類の内部電極を有するものにあつては、2 種類の内部電極の積層を 3 回繰り返し、積層コンデンサ 8 1 (実施例 3) のように 3 種類の内部電極を有するものにあつては、3 種類の内部電極の積層を 2 回繰り返したものとした。

【0064】また、ESL は、共振法によって求めた。共振法とは、各試料となる積層コンデンサについてインピーダンスの周波数特性を測定し、極小点 (コンデンサの容量成分 C_s と ESL との間の直列共振点と呼ぶ。) の周波数 f_0 から、

$$ESL = 1 / [(2 \pi f_0)^2 \times C_s]$$

によって、ESL を求めようとする方法である。

【0065】各試料の ESL 測定値を以下の表 1 に示す。

【0066】

【表 1】

	ESL 値 (pH)
実施例 1	40
実施例 2	72
実施例 3	85
実施例 4	51
比較例	95

表 1 から、実施例 1～4 は、いずれも、比較例に比べて、ESL が低く抑えられ、特に、実施例 1 は、ESL の低減に関し、最も優れた効果を示していることがわかる。また、実施例 4 は、実施例 1 と比べれば劣るものの、実施例 2 および 3 に比べて、ESL の低減に関し、より優れた効果を示している。

【0067】以上、この発明を図示した実施形態に関連して説明したが、この発明の範囲内において、たとえば、内部電極の引出電極の位置や数を種々に変更したり、それに応じて、外部端子電極の位置や数を種々に変更したりすることができる。

【0068】

【発明の効果】以上のように、この発明によれば、第 1 および第 2 の内部電極の少なくとも一方が、コンデンサ本体の 4 つの側面のうち少なくとも 3 つの側面の各々上

にまでそれぞれ引き出される少なくとも 3 つの引出電極を形成しており、また、このような引出電極がそれぞれ引き出された側面の各々上に、引出電極にそれぞれ電気的に接続される外部端子電極がそれぞれ設けられているので、内部電極上での電流の流れを種々の方向に向けることによって磁束を効果的に相殺することができるのと同時に、電流長を短くすることができるので、ESL を小さくすることができる。

【0069】したがって、共振周波数を高周波化することができる。このことは、コンデンサとして機能する周波数域が高周波化することを意味し、そのため、この発明に係る積層コンデンサは、電子回路の高周波化に十分対応することができ、たとえば、高周波回路におけるバイパスコンデンサ、デカップリングコンデンサとして有利に用いることができる。また、MPU (マイクロプロセッシングユニット) 等に使用されるデカップリングコンデンサにあつては、クイックパワーサプライとしての機能 (立ち上がり時等、電力が急に必要な時に、コンデンサに充電された電気量から電力を供給する機能) も要求されるが、この発明に係る積層コンデンサは低 ESL であるので、このような用途に向けられたとき、高速性に十分対応することができる。

【0070】この発明において、以下のような各実施態様は、前述したような磁束の相殺をより高めたり、電流長をより短くしたりして、ESL の低減により効果的である。第 1 に、第 1 および第 2 の内部電極の双方について、コンデンサ本体の 4 つの側面のうち少なくとも 3 つの側面の各々上にまでそれぞれ引き出される少なくとも 3 つの引出電極を形成しており、また、これら引出電極がそれぞれ引き出された少なくとも 3 つの側面の各々上に、引出電極にそれぞれ電気的に接続される外部端子電極がそれぞれ設けられている、実施態様である。

【0071】第 2 に、上述の第 1 の実施態様において、第 1 の内部電極が、4 つの側面の各々上にまでそれぞれ引き出される少なくとも 4 つの第 1 の引出電極を形成しており、それに伴って、第 1 の外部端子電極が、第 1 の引出電極が引き出された 4 つの側面の各々上に設けられている、実施態様である。第 3 に、同じく上述の第 1 の実施態様において、第 2 の内部電極が、4 つの側面の各々上にまでそれぞれ引き出される少なくとも 4 つの第 2 の引出電極を形成しており、それに伴って、第 2 の外部端子電極が、第 2 の引出電極が引き出された 4 つの側面の各々上に設けられている、実施態様である。

【0072】なお、これら第 1 および第 2 の内部電極の双方について、上述のような構成が採用されると、一層効果的である。第 4 に、すべての第 1 の外部端子電極が、当該第 1 の外部端子電極が設けられた各側面上において、第 2 の外部端子電極と隣り合うように配置される、実施態様である。このとき、4 つの側面を通して、すべての第 1 の外部端子電極とすべての第 2 の外部端子

電極とが交互に配置されると、なお効果的である。

【0073】第5に、第1および第2の内部電極の少なくとも一方の引出電極が、少なくとも1つの側面上の少なくとも2箇所に引き出されている、実施態様である。第6に、すべての外部端子電極が、これに接続される内部電極を共通とする外部端子電極とは隣り合わないよう配置されている、実施態様である。第7に、外部端子電極が、4つの側面の各々上にそれぞれ設けられている、実施態様である。

【0074】また、この発明において、第1および第2の外部端子電極の少なくとも一方によって並列接続された複数のコンデンサユニットを形成するように、第1の内部電極と第2の内部電極との対向する部分の数が複数とされると、積層コンデンサの小型化かつ高容量化に有効である。また、この発明において、第1および第2の内部電極の少なくとも一方に対して特定の誘電体層を介して対向する第3の内部電極をさらに備え、第3の内部電極は、少なくとも2つの側面の各々上にまでそれぞれ引き出される少なくとも2つの第3の引出電極を形成しており、第3の引出電極が引き出された側面の各々上に、第3の引出電極に電気的に接続される第3の外部端子電極がそれぞれ設けられていても、磁束を効果的に相殺することができるとともに、電流長を短くすることができるので、ESLを小さくする効果を期待できる。

【0075】上述した実施形態において、すべての第1の外部端子電極とすべての第2の外部端子電極とすべての第3の外部端子電極とが、4つの側面を通して同じ配列順序を繰り返しながら配置されると、磁束をより効果的に相殺することができるとともに、電流長をより短くすることができるので、ESLをより小さくすることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態による積層コンデンサ31の外観を示す平面図である。

【図2】図1に示した積層コンデンサ31の内部構造を第1の内部電極40が通る断面をもって示す平面図である。

【図3】図1に示した積層コンデンサ31の内部構造を第2の内部電極41が通る断面をもって示す平面図である。

【図4】図1に示した積層コンデンサ31において流れる電流を図解的に示す平面図である。

【図5】この発明の第2の実施形態による積層コンデンサ71の外観を示す平面図である。

【図6】図5に示した積層コンデンサ71の内部構造を第1の内部電極40aが通る断面をもって示す平面図である。

【図7】図5に示した積層コンデンサ71の内部構造を第2の内部電極41aが通る断面をもって示す平面図で

ある。

【図8】この発明の第3の実施形態による積層コンデンサ81の外観を示す平面図である。

【図9】図8に示した積層コンデンサ81の内部構造を第3の内部電極82が通る断面をもって示す平面図である。

【図10】図8に示した積層コンデンサ81の内部構造を第1の内部電極40bが通る断面をもって示す平面図である。

【図11】図8に示した積層コンデンサ81の内部構造を第2の内部電極41bが通る断面をもって示す平面図である。

【図12】この発明の第4の実施形態による積層コンデンサ91の外観を示す平面図である。

【図13】図12に示した積層コンデンサ91の内部構造を第1の内部電極40cが通る断面をもって示す平面図である。

【図14】図12に示した積層コンデンサ91の内部構造を第2の内部電極41cが通る断面をもって示す平面図である。

【図15】この発明にとって興味ある従来の積層コンデンサ1の外観を示す平面図である。

【図16】図15に示した積層コンデンサ1の内部構造を第1の内部電極10が通る断面をもって示す平面図である。

【図17】図15に示した積層コンデンサ1の内部構造を第2の内部電極11が通る断面をもって示す平面図である。

【図18】図15に示した積層コンデンサ1において流れる電流を図解的に示す平面図である。

【符号の説明】

31, 71, 81, 91 積層コンデンサ

32, 33 主面

34~37 側面

38 コンデンサ本体

39 誘電体層

40, 40a, 40b, 40c 第1の内部電極

41, 41a, 41b, 41c 第2の内部電極

42~47, 42b, 44c, 45b, 45c, 46

c, 47a 第1の引出電極

48~53, 48b, 50c, 51b, 51c, 52

c, 53a 第1の外部端子電極

54~59, 54b, 56a, 57b, 57c, 58

c, 59c 第2の引出電極

60~65, 60b, 62a, 63b, 63c, 64

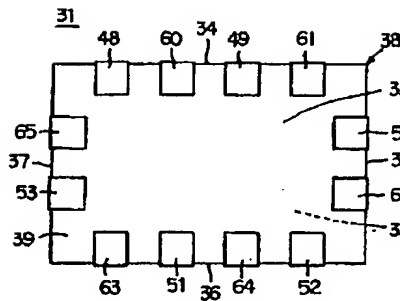
c, 65c 第2の外部端子電極

82 第3の内部電極

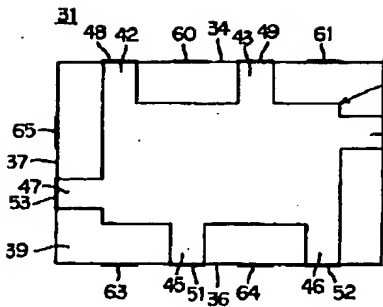
83~86 第3の引出電極

87~90 第3の外部端子電極

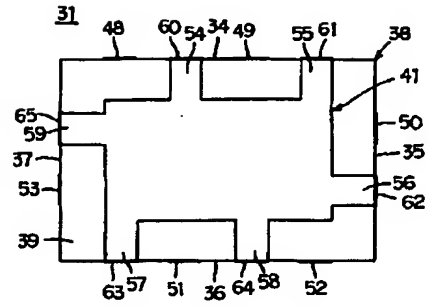
【図1】



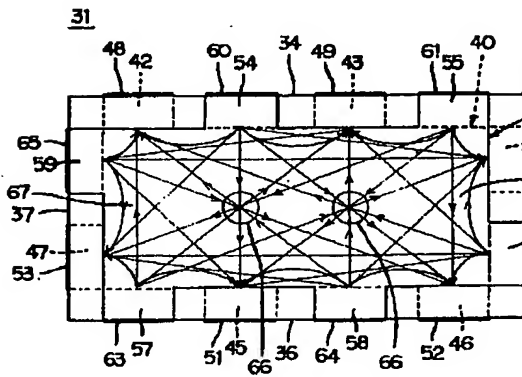
【図2】



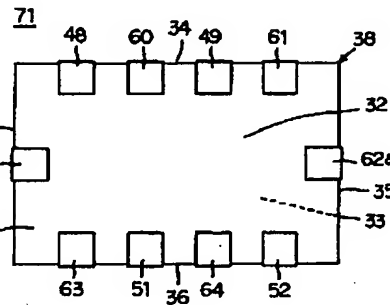
【図3】



【図4】

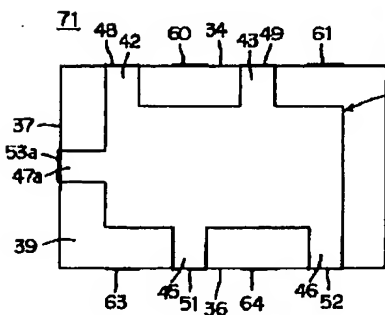


【図5】

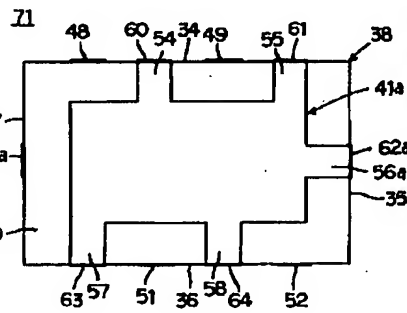


【図9】

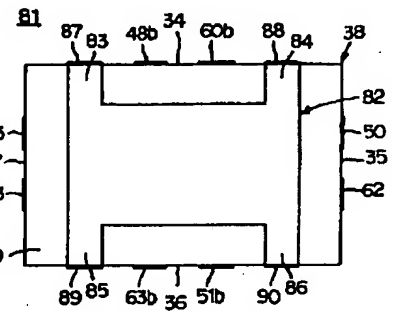
【図6】



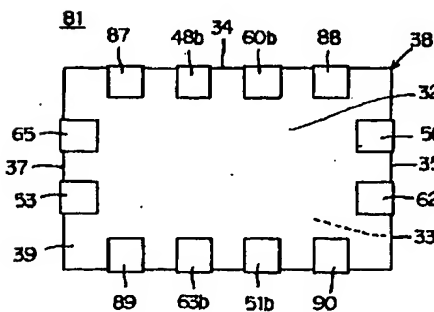
【図7】



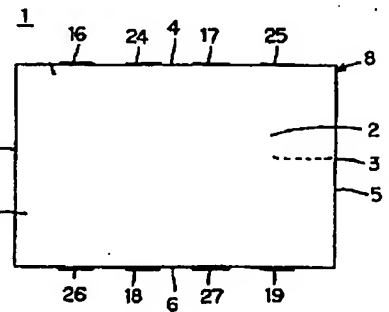
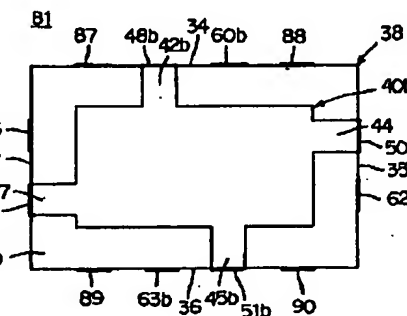
【図15】



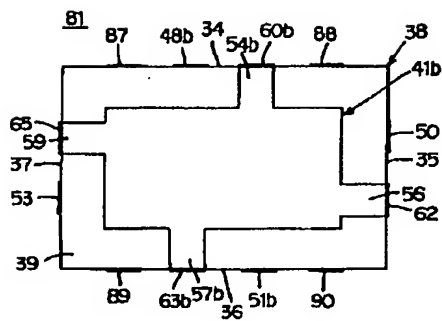
【図8】



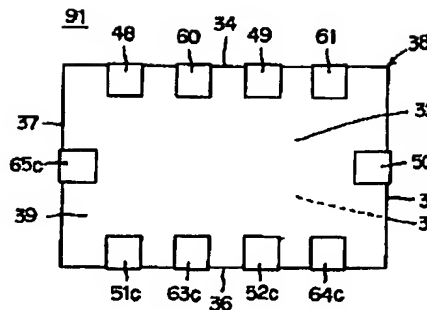
【図10】



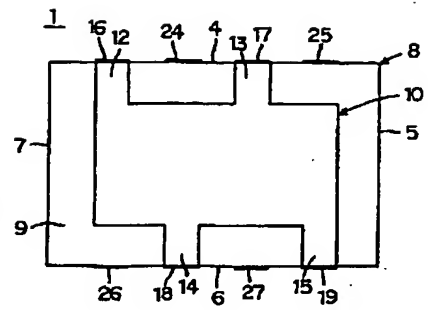
【図11】



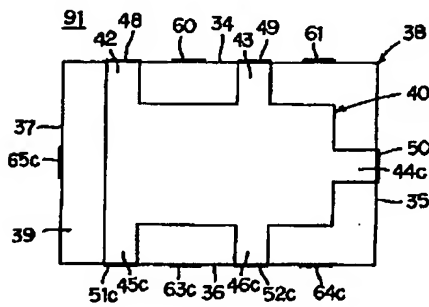
【図12】



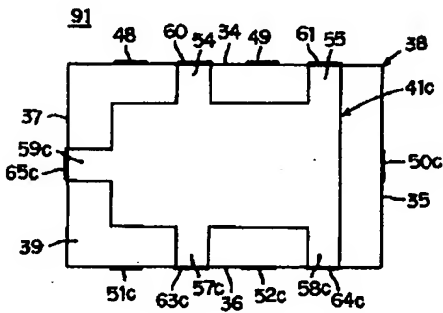
【図16】



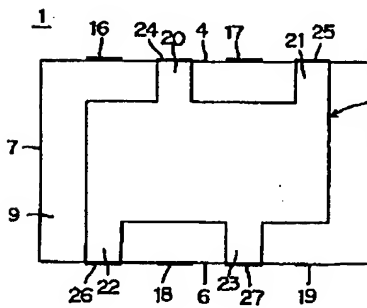
【図13】



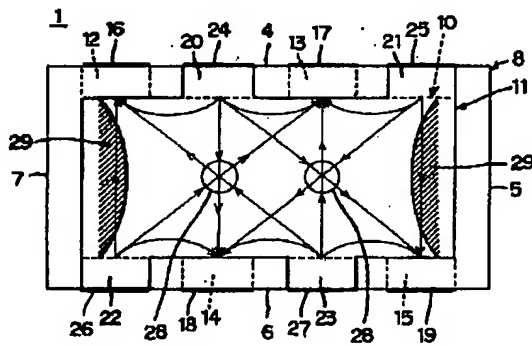
【図14】



【図17】



【図18】



フロントページの続き

(72)発明者 近藤 隆則
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内